

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP7201716
Publication date: 1995-08-04
Inventor(s): OGAWA TORU
Applicant(s): SONY CORP
Requested Patent: JP7201716
Application Number: JP19930352031 19931229
Priority Number(s):
IPC Classification: H01L21/027; G03F7/11; H01L21/318
EC Classification:
Equivalents: JP3326943B2

Citation 1

Abstract

PURPOSE: To provide a semiconductor device and its manufacturing method capable of avoiding the decomposition of a reflection preventive film having stoichiometrically unstable bonds as well as forming a highly stable fine pattern.

CONSTITUTION: A reflection preventive film 12 having stoichiometrically unstable bonds is formed on an underneath substrate; a protective film 14 suppressing the change in the optical requirements of this reflection preventive film 12 is formed; and then a resist film is formed on this protective film 14 directly or through the intermediary of an interlayer film so as to be processed according, to a specific pattern using photolithography.

Data supplied from the esp@cenet database - I2

Citation/

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-201716

(43)公開日 平成7年(1995)8月4日

| | | | | |
|--------------------------|-------|-----------|----------------|--------|
| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 21/027 | | | | |
| G 0 3 F 7/11 | 5 0 3 | | | |
| H 0 1 L 21/318 | | C 7352-4M | H 0 1 L 21/ 30 | 5 7 4 |
| | | 7352-4M | | |

審査請求 未請求 請求項の数11 F D (全 16 頁)

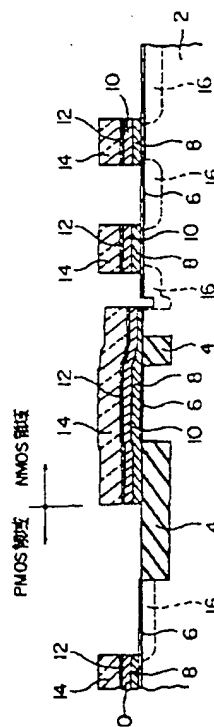
| | | | |
|----------|------------------|---------|---|
| (21)出願番号 | 特願平5-352031 | (71)出願人 | 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号 |
| (22)出願日 | 平成5年(1993)12月29日 | (72)発明者 | 小川 透 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内 |
| | | (74)代理人 | 弁理士 佐藤 隆久 |

(54)【発明の名称】 半導体装置の製造方法および半導体装置

(57)【要約】

【目的】 化学量論的に不安定な結合を有する反射防止膜の変質を防ぎ、良好に安定した微細パターンを形成することができる半導体装置の構造およびその製造方法を提供すること。

【構成】 下地基板の上に、化学量論的に不安定な結合を有する反射防止膜12を形成し、この反射防止膜12上に、この反射防止膜12の光学条件の変化を抑止する保護膜14を形成し、この保護膜14上に、直接または層間膜を介して、レジスト膜を形成し、このレジスト膜をフォトリソグラフィー法により所定のパターンに加工する。



【特許請求の範囲】

【請求項1】 下地基板に、フォトリソグラフィ法により所定パターンのレジスト膜を形成し、このレジスト膜をマスクとして、エッチングを行い、上記下地基板を加工する半導体装置の製造方法であって、

上記下地基板に、化学量論的に不安定な結合を有する反射防止膜を形成する工程と、

この反射防止膜上に、この反射防止膜の光学条件の変化を抑止する保護膜を形成する工程と、

この保護膜上に、直接または層間膜を介して、レジスト膜を形成する工程と、

このレジスト膜をフォトリソグラフィ法により所定のパターンに加工する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項2】 上記反射防止膜が、 $Si_xO_yN_z$ （ただし、 x は0を含まない実数、 y は0を含む実数、 z は0を含まない実数）で構成される請求項1に記載の半導体装置の製造方法。

【請求項3】 上記保護膜が、この保護膜上に形成される層間膜と略同等の光学特性を有する材質で構成される請求項1または2に記載の半導体装置の製造方法。

【請求項4】 上記保護膜は、露光用光の波長における屈折率（ n ）が1.4以上1.7以下の無機膜で構成され、上記層間膜が、酸化シリコン膜で構成される請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 上記保護膜が、プラズマTEOS法により成膜される膜である請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】 上記保護膜が、上記反射防止膜の成膜温度以下の温度で成膜される請求項1～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 上記保護膜が、絶縁膜であり、この保護膜が、層間膜を兼ねる請求項1～6のいずれかに記載の半導体装置の製造方法。

【請求項8】 MOSトランジスタが形成された半導体装置において、

MOSトランジスタのゲート電極の上に、 $Si_xO_yN_z$ （ただし、 x は0を含まない実数、 y は0を含む実数、 z は0を含まない実数）で構成される反射防止膜が成膜してあり、この反射防止膜の上に、この反射防止膜の光学条件の変化を抑止する保護膜が成膜してあり、この保護膜が、ゲート電極のオフセット酸化膜の少なくとも一部である半導体装置。

【請求項9】 下層配線層と、層間絶縁膜と、上層配線層とを有し、層間絶縁膜に形成されたコンタクトホールを通して、下層配線層と上層配線層とが接続してある半導体装置であって、

下層配線層の表面には、 $Si_xO_yN_z$ （ただし、 x は0を含まない実数、 y は0を含む実数、 z は0を含まない実数）で構成される反射防止膜が成膜してあり、この

反射防止膜の上に、この反射防止膜の光学条件の変化を抑止する機能を有する保護膜が成膜してある半導体装置。

【請求項10】 上記保護膜が、上記反射防止膜の成膜温度以下の温度で、プラズマTEOS法により成膜される膜である請求項8に記載の半導体装置。

【請求項11】 上記保護膜が、層間絶縁膜であり、上記反射防止膜の成膜温度以下の温度で、プラズマTEOS法により成膜される膜である請求項9に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法および半導体装置に係り、さらに詳しくは、微細パターンを良好に、しかも安定して形成することができる半導体装置の構造および製造方法に関する。

【0002】

【従来の技術】 現在、半導体集積回路の研究開発において、サブハーフミクロン領域のデザインルールデバイスが研究開発されている。これらデバイス開発において使用されるフォトリソグラフィ技術においては、ステッパー（縮小投影露光機）と呼ばれる単一波長の光を露光光源に用いた露光装置が使用されている。

【0003】 単一波長で露光を行う場合には、定在波効果と呼ばれる現象が発生することが広く知られている。定在波が発生する原因は、レジスト膜内で露光光の多重干渉が起こることによる。すなわち、図1に示すように、入射光Pと、レジストPRと基板Sとの界面からの反射光Rとが、レジスト膜内で干渉を起こすことによる。その結果として、図2に示すごとく、レジストに吸収される光量（縦軸）が、レジスト膜厚（横軸）に依存して変化する。なお、本明細書中、レジストに吸収される光量とは、レジスト表面での表面反射や、基板での吸収や、レジストから射出した光などを除いた、レジスト自体に吸収される光の量を示す。かかる吸収光量が、レジストを光反応させるエネルギーとなる。

【0004】 なお、図2は、シリコン基板の上にレジスト膜（XP8843）を成膜し、レジスト膜の膜厚による吸収光量の変化を調べた結果である。露光用光としては、 $\lambda = 248\text{ nm}$ のKrFを仮定した。実デバイスにおいては、図3に示すように、基板面には必ず凹凸が存在する。例えば、ポリシリコン等の凸部Inが存在する。このため、レジスト膜RPを塗布した際、レジスト膜の厚さは、段差の上部と下部とで異なることになる。つまり、凸部In上のレジスト膜厚 d_{r11} は、それ以外の部分のレジスト膜厚 d_{r12} よりも薄くなる。

【0005】 定在波効果は、レジスト膜厚により異なることは、前記説明したとおりであり、このため、定在波効果の影響を受けることによるレジストに吸収される光量の変化も、各々変わってくる。この結果、露光、現象

後に得られるレジストパターン寸法の、段差の上部と下部とで異なってしまう。定在波効果のパターン寸法に及ぼす影響は、同一波長、同一開口数のステッパーを用いた場合、パターンが細かければ細かいほど顕著化し、どの種のレジストについても、共通に見られる現象である。

【0006】半導体デバイス作製時のフォトリソグラフィ工程におけるレジストパターンの寸法精度は、一般に±5%である。この±5%の寸法精度を達成するためには、定在波効果の低減が必須である。図4にレジスト膜内での吸収光量の変動(横軸)に対する、レジストパターンの寸法変動(縦軸)を示す。図4から明らかなように、たとえば0.35μmルールデバイスの作製を行うには、レジスト膜の吸収光量の変動は、レンジ6%以下であることが要求される。

【0007】

【発明が解決しようとする課題】上述した要求にこたえるべく、現在各方面で反射防止技術の検討が精力的に行われている。その結果、反射防止膜が必要不可欠とされている高融点金属シリサイド(たとえばW-Si)、金属(例えばAl-Si)、シリコン系材料(たとえばPoly-Si)上の優れた反射防止材料として、SiC、SiO₂、Si₃N₄、Si₃N₂が、本発明者によって、見い出されている。

【0008】デバイス作製時、特に0.35μm以下のデザインルールを有するデバイスにおいては、セルフアラインコンタクト(SAC)法の採用が必須となっている。この技術を用いるには、たとえばW-Siを用いたゲート電極上に、オフセット酸化膜を形成し、該酸化膜上にフォトリソ層を形成して、半導体マスクパターンをレジストに転写し、転写されたレジストをマスクにして、オフセット酸化膜および高融点金属シリサイド(たとえばW-Si)、シリコン系材料(たとえば、Poly-Si)をエッチングすることにより半導体装置を作製していく。

【0009】高融点金属シリサイド(例えばW-Si)、シリコン系材料(例えば、Poly-Si)上に、半導体マスクパターンを形成する際においては、SiO₂、Si₃N₄、Si₃N₂膜などで構成される反射防止膜を、レジスト膜の下部に成膜することが、微細パターンを形成する上で効果があることは、本発明者によって見い出されている。

【0010】ところが、SiO₂、Si₃N₄、Si₃N₂膜は、化学量論的に見て、安定な膜ではない。そのため、SiO₂、Si₃N₄、Si₃N₂膜などの反射防止膜上に、オフセット酸化膜などの膜を成膜し、その上から微細パターンを形成する場合には、オフセット酸化膜などの成膜時に、その成膜温度が高いと、反射防止膜の膜質が変化してしまい(光学条件が変化)、反射防止効果が薄れ、安定して微細パターンを形

成することは困難であった。よって早急に、何らかの対策が必要不可欠である。

【0011】本発明は、上記実情に鑑みてなされ、化学量論的に不安定な結合を有する反射防止膜の変質を防ぎ、良好に安定した微細パターンを形成することができる半導体装置の構造およびその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段および作用】本発明では、1線(365nm)またはそれよりも短波長の光、例えば1線、KrF、ArFエキシマレーザーを光源に用いて、半導体デバイスを作成する際、化学量論的に不安定な結合を有する反射防止膜の変質を防ぐために、該反射防止膜上に、該反射防止膜の膜質を変質させない(光学条件の変化を抑制する)保護膜を決定し、これにより良好に安定した微細パターンを形成することができる。

【0013】反射防止膜の決定に際しては、以下の手段を用いた。

(I) 任意に定めたある膜厚のレジストの膜厚に対し、反射防止膜の光学条件(n, k)を連続的に変化させ(ただし、反射防止膜の膜厚は固定しておく)た際のレジスト膜内で吸収される吸収光量の等高線を求める。

【0014】(II) 上記(I)で求めた各レジスト膜の膜厚におけるレジスト内部の吸収光量の等高線の結果において、吸収光量の差が最小になる共通領域を見出し、この共通領域により限定される光学条件を、(I)において定めた反射防止膜の膜厚における光学条件(n, k)とする。

【0015】(III) 反射防止膜の膜厚を変化させて、上記(I)、(II)の操作を繰り返し行い、反射防止膜の各膜厚に対する各最適条件の光学定数(n, k)を求める。

(IV) 上記(III)で得られた最適条件の光学定数を有する実際の材質の反射防止膜を見い出す。

【0016】次に、図面を参照して、本発明に用いられる反射防止膜の包括的条件を決定する上記手段(I)～(IV)について、より具体的に説明する。

①定在波効果の極大値間、または極小値間のレジスト膜厚は、レジストの屈折率を n_{rs} とし、露光用光の波長を λ とすると、 $\lambda/4n$ で与えられる(図5参照)。

【0017】②レジストと下地基板との間に、反射防止膜ARLを過程して、その膜厚さ d_{r1} 、光学定数を n_{r1} 、 k_{r1} とする。

③図5におけるある1点(例えば、定在波効果が極大となる膜厚)の膜厚に着目すると、反射防止膜の膜厚さ d_{r1} を固定して n_{r1} 、 k_{r1} を変化させた場合、その点におけるレジスト膜の吸収光量は変化する。この変化する軌跡、すなわち吸収光量の等高線を求めると、図6に示すようになる。

【0018】④他の異なったレジスト膜厚 d_{rs} につい

て、少なくとも定在波効果を極大もしくは極小にする膜厚を基準にして、 $\lambda/8n_{\text{H}}$ 間隔で4ヶ所に対して、③を繰り返す行くと、図6に対応した図7~図9が得られる(図6~図9は、反射防止膜厚を20nmに規定し、レジスト膜厚を各々985nm、1000nm、1018nm、1035nmとした結果を示す)。以上は、上記手段(I)に該当する。

【0019】⑤図6~図9の各々グラフの共通領域は、反射防止膜の特定の膜厚について、レジスト膜厚が変化しても、レジスト膜内での吸収光量が変化しない領域を示している。すなわち、上記共通領域は、定在波効果を最小にする、反射防止効果が最も高い領域である。よって、かかる共通領域を見出す。共通領域を見出すのは、例えば簡便には、各図(グラフ)を重ね合わせて、共通領域をとることにより、行うことができる(もちろん、コンピュータでの共通領域の検索により行ってもよい)。これは上記手段(II)に該当する。

【0020】⑥次に、反射防止膜の膜厚dを連続的に変化させて、上記④⑤を繰り返す。たとえば最初のステップの⑤までは、 $d=20\text{nm}$ として操作を行ったとすると、dを変えて、上記を繰り返す行。これにより、定在波効果を最小にするような反射防止膜の膜厚 d_{opt} 、光学定数 n_{opt} 、 k_{opt} の条件を特定できる。これは上記手段(III)に該当する。

【0021】⑦上記⑥で特定した反射防止膜の満たすべき条件(膜厚、光学定数)を満足するような膜の種類を、露光用光における各膜種の光学定数を測定することにより、見出す。これは手段(IV)に該当する。上記手法は、全ての波長、全ての下地基板に対して、原理的に適用可能である。

【0022】上記(I)~(IV)の手段で、本発明に係る方法で好適に用いることができる反射防止膜について検討したところ、単結晶シリコン、多結晶シリコン、アモルファスシリコン、ドーパドポリシリコン等のシリコン系膜、またはタングステン、タングステンシリサイド等の高融点金属シリサイド系膜などの高反射基板上に形成する反射防止膜として、 $\text{Si}_x\text{O}_y\text{N}_z$ 膜または Si_xN_y 膜が特に適切であることが判明した。

【0023】すなわち、単結晶シリコン、多結晶シリコン、アモルファスシリコン、ドーパドポリシリコン等のシリコン系膜、またはタングステン、タングステンシリサイド等の高融点金属シリサイド系膜などの高反射基板上の反射防止膜としては、 $n=1.7\sim 2.4$ 、 $k\leq 0.90$ (好ましくは $0.1\leq k\leq 0.6$)の光学定数を有する無機膜、特に、 $\text{Si}_x\text{O}_y\text{N}_z$ 膜(水素Hを含有してもよい)または Si_xN_y 膜を、20~300nmの膜厚で用いることが好ましいことが判明した。

【0024】たとえば、 $\text{Si}_x\text{O}_y\text{N}_z$ 膜(水素Hを含有する場合があり、 $\text{Si}_x\text{O}_y\text{N}_z\text{H}$ 膜とも称する)は、図10(A)、(B)に示すように、製膜時の条

件、特にシラン系ガスの流量比に応じて、例えば波長248nmの波長帯において、屈折率の実数部nは、ほぼ2.1程度で一定値をとり、屈折率の虚数部kは、シラン系ガスの流量比を変化させることにより、任意にコントロールすることができる。そのため、特定の下地基板のための反射防止膜として要求される光学定数の値を持つ反射防止膜を容易に作ることができる。

【0025】たとえば、W-Si基板を下地基板として用いる場合には、 $n=2.12$ 、 $k=0.54$ 、 $d=29\text{nm}$ の反射防止膜が最適であり、定在波効果を最小限にすることができる。また、Al-Si基板を下地基板として用いる場合には、 $n=2.09$ 、 $k=0.87$ 、 $d=24\text{nm}$ の反射防止膜が最適であり、定在波効果を最小限にすることができる。Si基板を下地基板として用いる場合には、 $n=2.0$ 、 $k=0.55$ 、 $d=32\text{nm}$ の反射防止膜が最適であり、定在波効果を最小限にすることができる。

【0026】これらの条件の $\text{Si}_x\text{O}_y\text{N}_z\text{H}$ 膜を、反射防止膜として、それぞれタングステンシリサイド上、アルミシリコン、単結晶シリコン上に成膜し、それらの定在波効果を、それらを用いない場合に比較して示した結果を、図11、図12、図13に示す。これら図11~13に示すように、適切な条件の $\text{Si}_x\text{O}_y\text{N}_z\text{H}$ 膜を、反射防止膜として用いることで、定在波効果を抑制することができ、反射防止効果を達成することができる。

【0027】ところが、この $\text{Si}_x\text{O}_y\text{N}_z\text{H}$ 膜は、製造条件により、光学定数を自由に設定できる反面、化学量論的に不安定な膜である。たとえば図14に示すFT-IRスペクトル分析から明らかなように、 $\text{Si}_x\text{O}_y\text{N}_z\text{H}$ 膜を成膜後にアニール処理した場合には、アニール温度が500℃以上になると、 $\text{Si}_x\text{O}_y\text{N}_z\text{H}$ 膜の結合状態は、成膜直後の結合状態とは異なってしまっていることが分かる。 $\text{Si}_x\text{O}_y\text{N}_z\text{H}$ 膜の結合状態が変化すれば、その膜の光学条件も変化してしまい、良好な反射防止効果を維持できなくなるおそれがある。

【0028】そこで、化学量論的に不安定な反射防止膜の保護を図るために、その反射防止膜の上に保護膜を形成することが考えられる。ところが、どのような種類の保護膜であっても良いと言うわけではない。すなわち、保護膜の成膜時の熱処理により、反射防止膜の光学特性が変化してはならないからである。

【0029】本発明者の実験により、次のことが判明した。すなわち、反射防止膜としての $\text{Si}_x\text{O}_y\text{N}_z\text{H}$ 膜の結合状態を変えないためには、該膜上に化学量論的に安定な膜を、 $\text{Si}_x\text{O}_y\text{N}_z\text{H}$ 膜の成膜温度と同程度以下の温度で成膜して保護膜として用いれば良い。

【0030】セルフアラインコンタクト技術を用いるときの層間膜として、膜厚80~200nm程度の酸化膜

を用いる。該膜の光学定数の実数部は、 $n=1.4\sim 1.7$ 程度である。したがって、 Si 、 O 、 N ： H 膜上に、同一成膜装置を用いて、同一成膜温度で、たとえばプラズマテオス（ P-TEOS ）法による酸化シリコン膜を 30nm 形成し、その後、層間膜として 720°C の成膜温度でテオス（ LP-TEOS ）法による酸化シリコン膜を約 140nm 形成すれば、 Si 、 O 、 N ： H 膜の変質を防ぐことが可能である。プラズマテオス法による酸化シリコン膜とテオス法による酸化シリコン膜とは、光学的にはほぼ同等なので、 Si 、 O 、 N ： H 膜の反射防止効果が損なわれることはない。

【0031】すなわち、化学量論的に不安定な結合を有する反射防止膜の変質を防ぐための保護膜を用いることにより、良好に安定したマスクパターンが形成できる。これにより、上記目的を達成し、本発明を完成させた。上記目的を達成するために、本発明に係る半導体装置の製造方法は、下地基板に、化学量論的に不安定な結合を有する反射防止膜を形成する工程と、この反射防止膜上に、この反射防止膜の光学条件の変化を抑止する保護膜を形成する工程と、この保護膜上に、直接または層間膜を介して、レジスト膜を形成する工程と、このレジスト膜をフォトリソグラフィ法により所定のパターンに加工する工程とを含む。

【0032】上記反射防止膜が、 Si 、 O 、 N ：（ただし、 x は0を含まない実数、 y は0を含む実数、 z は0を含まない実数）で構成されることが好ましい。反射防止膜としての Si 、 O 、 N ：膜または Si 、 N ：膜は、少なくともシリコンを含むガス系を用いた各種CVD法により容易に成膜することができる。たとえば、これら膜は、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波を用いて、シラン系ガスと酸素および窒素を含むガスと（たとえば $\text{SiH}_4 + \text{O}_2 + \text{N}_2$ ）の混合ガス、またはシラン系ガスと窒素を含むガス（たとえば $\text{SiH}_4 + \text{N}_2\text{O}$ ）の混合ガスとを用いて成膜することができる。また、その際に、バッファガスとして、アルゴン Ar ガスなどを用いることができる。

【0033】反射防止膜としての Si 、 O 、 N ：膜または Si 、 N ：膜は、レジストをマスクとして、 CF_4 、 CHF_3 、 C_2F_6 、 C_4F_8 、 SF_6 、 S_2F_2 、 NF_3 系ガスをエッチャントとし、 Ar を添加してイオン性を高めたRIEにより、容易にエッチングすることができる。そのRIEは、約 2Pa 程度の圧力下で、 $10\sim 100\text{W}$ 程度のパワーをかけて行うことが好ましい。また、RIE時のガスの流量は、特に限定されないが、 $5\sim 70\text{SCCM}$ であることが好ましい。

【0034】上記保護膜が、この保護膜上に形成される層間膜と略同等の光学特性を有する材質、特に無機材で構成されることが好ましい。保護膜の膜厚は、 $20\sim 200\text{nm}$ 程度が好ましい。上記保護膜は、露光用光の波

長における屈折率（ n ）が 1.4 以上 1.7 以下の無機膜で構成され、上記層間膜が、酸化シリコン膜で構成されることが好ましい。

【0035】上記保護膜が、プラズマTEOS法またはオゾンTEOS法により成膜される膜であることが好ましい。上記保護膜が、上記反射防止膜の成膜温度以下の温度で成膜されることが好ましい。具体的には、上記保護膜が、 500°C 以下の温度で成膜されることが好ましい。

【0036】上記反射防止膜と保護膜、もしくは反射防止膜と保護膜と層間膜は、同一の成膜装置を用いて成膜されることが望ましい。上記保護膜が、絶縁膜であり、この保護膜が、層間膜を兼ねることもできる。上記目的を達成するために、本発明に係る第1の半導体装置は、MOSトランジスタのゲート電極の上に、 Si 、 O 、 N ：（ただし、 x は0を含まない実数、 y は0を含む実数、 z は0を含まない実数）で構成される反射防止膜が成膜してあり、この反射防止膜の上に、この反射防止膜の光学条件の変化を抑止する保護膜が成膜してあり、この保護膜が、ゲート電極のオフセット酸化膜の少なくとも一部である。

【0037】本発明に係る第2の半導体装置は、下層配線層と、層間絶縁膜と、上層配線層とを有し、層間絶縁膜に形成されたコンタクトホールを通して、下層配線層と上層配線層とが接続してある半導体装置であって、下層配線層の表面には、 Si 、 O 、 N ：（ただし、 x は0を含まない実数、 y は0を含む実数、 z は0を含まない実数）で構成される反射防止膜が成膜してあり、この反射防止膜の上に、この反射防止膜の光学条件の変化を抑止する機能を有する層間絶縁膜が成膜してある。

【0038】

【実施例】以下、本発明の実施例について、具体的に説明する。ただし、本発明は、以下の実施例により限定されるものではなく、本発明の範囲内で種々に改変することができる。

【0039】実施例1

この実施例は、本発明を1線（ 365nm ）、またはそれよりも短波長の光、たとえば1線、 KrF 、 ArF エキシマレーザーを光源に用いて、高反射基板上に、半導体マスクパターンを形成する際、化学量論的に不安定な結合を有する反射防止膜の変質を防ぐために、該反射防止膜上に該反射防止膜の膜質を変質させない保護膜を用いることにより、良好に安定したマスクパターンが形成できるようにした実施例である。

【0040】本実施例の半導体製造方法は、図15に示すように、たとえば W 、 W-Si 等の高融点金属シリサイドを用いたゲート電極作成工程に好適に用いることができる。ただし、本実施例における考え方は、当然基板種類やレジスト種類や高反射層種類を問わずに好適に適用することができる。

【0041】図15に示す実施例について詳細に説明する。図15は、SRAMなどの半導体装置を製造する過程を示し、半導体基板2上に、NMOSTランジスタのゲート電極と、PMOSTランジスタのゲート電極とが形成される。

【0042】半導体基板2としては、たとえばシリコンウェーハが用いられる。半導体基板2の表面には、素子分離領域4が形成される。素子分離領域4は、たとえばLOCOS法、トレンチ型素子分離法などにより形成される。素子分離領域4を半導体基板の表面に形成した後、半導体基板2の表面に、ゲート絶縁膜6を形成する。ゲート絶縁膜6は、半導体基板2の表面を熱酸化することにより成膜され、たとえば酸化シリコンで構成される。

【0043】次に、ゲート絶縁膜の表面に、たとえばCVD法で、ポリシリコン膜8を成膜する。ポリシリコン膜8の表面には、たとえばCVD法で、タングステンシリサイド膜10を成膜する。これらポリシリコン膜8およびタングステンシリサイド膜10は、以下に示す本実施例の方法でパターン加工され、MOSTランジスタのゲート電極となる。

【0044】本実施例では、ポリシリコン膜8およびタングステンシリサイド膜10を微細パターンに加工するために、その上に、まず反射防止膜12を成膜する。反射防止膜12としては、 $n=1.7\sim2.4$ 、 $k\leq 0.90$ （好ましくは $0.1\leq k\leq 0.6$ ）の光学定数を有する $\text{Si}_x\text{O}_y\text{N}_z\text{:H}$ 膜を、 $20\sim300\text{nm}$ の膜厚で用いる。

【0045】 $\text{Si}_x\text{O}_y\text{N}_z\text{:H}$ 膜は、少なくともシリコンを含むガス系を用いた各種CVD法により容易に成膜することができる。たとえば、この膜は、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波を用いて、シラン系ガスと窒素および窒素を含むガス（たとえば $\text{SiH}_4 + \text{O}_2 + \text{N}_2$ ）の混合ガス、またはシラン系ガスと窒素を含むガス（たとえば $\text{SiH}_4 + \text{N}_2\text{O}$ ）の混合ガスとを用いて成膜することができる。また、その際に、バッファガスとして、アルゴンArガスなどを用いることができる。 $\text{Si}_x\text{O}_y\text{N}_z\text{:H}$ 膜の成膜時の温度は、特に限定されないが、たとえば $350\sim400^\circ\text{C}$ である。

【0046】次に、本実施例では、この反射防止膜12の上に、保護膜14を成膜する。この保護膜14は、本実施例では、オフセット酸化膜を兼ねており、その膜厚は、特に限定されないが、たとえば $20\sim200\text{nm}$ である。保護膜14は、化学量論的に不安定な $\text{Si}_x\text{O}_y\text{N}_z\text{:H}$ 膜で構成される反射防止膜12の光学条件の変化を抑止するための膜であり、たとえば、 500°C 以下の成膜温度でCVD法により成膜された酸化シリコン膜、プラズマTEOS法またはオゾンTEOS法により

成膜された酸化シリコン膜などで構成される。反射防止膜12と保護膜14とは、同一の成膜装置を用いて成膜することができる。

【0047】その後、本実施例では、オフセット酸化膜を兼ねた保護膜14の上に、図示省略してあるレジスト膜をスピンコート法などで成膜し、レジスト膜のフォトリソグラフィ加工を行う。フォトリソグラフィに用いる露光用光としては、 i 線（ 365nm ）、またはそれよりも短波長の光、たとえば i 線、KrF、ArFエキシマレーザを用いる。

【0048】レジスト膜の下層側に、高反射性のタングステンシリサイド膜10が存在することによる定在波効果は、反射防止膜12により良好に抑制され、高精度で微細パターンを作成することが可能である。また、反射防止膜の光学条件は、定在波効果を抑制するように最適化されており、その光学条件の変化が、オフセット酸化膜を兼ねた保護膜14により抑制されているので、レジスト膜に良好な微細パターンを安定して形成することができる。

【0049】その後、このレジスト膜をマスクとして、オフセット酸化膜兼保護膜14、反射防止膜12、タングステンシリサイド膜10およびポリシリコン膜8を順次エッチング加工すれば、図15に示す状態となる。反射防止膜12としての $\text{Si}_x\text{O}_y\text{N}_z\text{:H}$ 膜は、 CHF_3 、 C_2F_4 、 CHF_3 、 S_2F_2 等の少なくともフッ素を含むガス系をエッチャントとし、イオン性を高めたRIEにより、容易にエッチングすることができる。

【0050】その後、本実施例では、LDD構造のソース・ドレイン領域を形成するために、NMOSTランジスタ領域およびPMOSTランジスタ領域のそれぞれに、イオン注入を行い、低濃度の不純物拡散層16を形成する。その後、保護膜14をオフセット酸化膜とし、その両側に、絶縁性サイドウォールを形成し、その上から、ソース・ドレイン領域形成用のイオン注入を行うことで、LDD構造のソース・ドレイン領域が形成される。その後は、通常のSRAMの製造プロセスに従い、半導体装置を形成する。

【0051】本実施例では、 i 線（ 365nm ）またはそれよりも短波長の光、例えば i 線、KrF、ArFエキシマレーザを光源に用いて、半導体装置を作成する際、化学量論的に不安定な結合を有する反射防止膜12を用いても、該反射防止膜12上に該反射防止膜12の膜質を変質させない保護膜14を用いることにより、良好に安定した微細パターンを形成することができる。また、この保護膜14は、オフセット酸化膜としてそのまま利用することができるので、製造工程が増大することもない。

【0052】本実施例の保護膜14により、化学量論的に不安定な結合を有する反射防止膜12の光学条件の変化を抑止できることは、次に示す実験により明らかにな

った。図16に示すように、まず、タングステンシリサイド基板18上に、Si、O、N、H膜20を成膜した。Si、O、N、H膜20は、バイアスECRプラズマCVD法を利用し、マイクロ波(2.45GHz)を用いて、SiH₄+O₂+N₂の混合ガスを用い、バフアガスとしてArを用いて成膜した。成膜時の温度は、360℃であった。成膜時のSi、O、N、H膜20の膜厚は、30nmであった。

*【0053】このSi、O、N、H膜20の上に、同一の成膜装置で、420℃の成膜温度で、CVD法により、酸化シリコン膜22を170nm成膜した。この多層膜の膜構造を、分光エリプソメータ(たとえばSOPRA社のELLIシステム)を用いて測定した結果を表1に示す。

【0054】

*【表1】

| | 濃度 | 膜厚(mm) |
|-------------|----------------|--------|
| 酸化シリコン膜22 | -0.022 (ポイド) | 170.5 |
| 中間膜24 | -1.19 (酸化シリコン) | 0.00 |
| Si、O、N、H膜20 | -0.060 (ポイド) | 30.3 |

【0055】表1中、濃度とは、酸化シリコン膜22またはSi、O、N、H膜20中のポイドの割合、または中間膜24中の酸化シリコンの割合を示し、マイナスであるほど緻密な膜であることを示す。中間膜24とは、酸化シリコン膜22およびSi、O、N、H膜20の界面に形成される混在膜である。また、膜厚とは、多層膜形成後に測定した膜厚である。

【0056】表1に示すように、上記条件でSi、O、N、H膜20の上に、酸化シリコン膜22を形成すれ※

※ば、中間膜24はほとんど形成されず、Si、O、N、H膜20の膜質はほとんど変化せず、その光学条件が変化しないことが証明された。

【0057】これに対し、図16に示す酸化シリコン膜22を720℃のLP-TEOS法で成膜した以外は、上記と同様にして実験を行ったところ、表2に示す結果が得られた。

【0058】

【表2】

| | 濃度 | 膜厚(mm) |
|-------------|----------------|--------|
| 酸化シリコン膜22 | 0.054 (ポイド) | 177.2 |
| 中間膜24 | 0.488 (酸化シリコン) | 32.2 |
| Si、O、N、H膜20 | -53.8 (ポイド) | 0.4 |

【0059】表2に示すように、酸化シリコン膜22を720℃のLP-TEOS法で成膜した場合には、中間膜24(混在膜)が32.2nm程度形成され、Si、O、N、H膜20の膜質が大幅に変化し、その光学条件が変化することが判明した。

【0060】このことは、前記図14に示すFT-IRスペクトル分析の結果からも予測がつくものであり、反射防止膜としてのSi、O、N、H膜の上に成膜される保護膜としては、500℃以下の温度で成膜されることが好ましい。

実施例2

本実施例では、図17、18に示すように、第1配線層30と第2配線層32とをコンタクトホール34を通して接続する配線構造に、本発明を適用している。

【0061】本実施例では、図17に示すように、第1層間絶縁膜36の上に、第1配線層30となる導電層を成膜する。この第1配線層となる導電層は、特に限定されないが、たとえばタングステンシリサイドである。この第1配線層30となる導電層の上に、まず、本実施例に係る反射防止膜38を成膜する。

【0062】反射防止膜38としては、 $n=1.7 \sim 2.4$ 、 $k \leq 0.90$ (好ましくは $0.1 \leq k \leq 0.6$)の光学定数を有するSi、O、N、H膜を、20~300nmの膜厚で用いる。Si、O、N、H膜は、少なくともシリコンを含むガス系を用いた各種CVD法により容易に成膜することができる。たとえば、この膜は、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波を用いて、シラン系ガスと酸素および窒素を含むガスと(たとえばSiH₄+O₂+N₂)の混合ガス、またはシラン系ガスと窒素を含むガス(たとえばSiH₄+N₂O)の混合ガスとを用いて成膜することができる。また、その際に、バフアガスとして、アルゴンArガスなどを用いることができる。Si、O、N、H膜の成膜時の温度は、特に限定されないが、たとえば350~400℃である。

【0063】次に、本実施例では、この反射防止膜38の上に、保護膜40を成膜する。この保護膜40の膜厚は、特に限定されないが、たとえば20~200nmであるが、本実施例では、その上に後述する層間膜42が

形成されることから、20～50nm程度に薄くても良い。保護膜40は、化学量論的に不安定なSi、O、N、H膜で構成される反射防止膜38の光学条件の変化を抑止するための膜であり、たとえば、500℃以下の成膜温度でCVD法により成膜された酸化シリコン膜、プラズマTEOS法またはオゾンTEOS法により成膜された酸化シリコン膜などで構成される。反射防止膜38と保護膜40とは、同一の成膜装置を用いて成膜することができる。

【0064】その後、本実施例では、保護膜40の上10に、図示省略してあるレジスト膜をスピコート法などで成膜し、レジスト膜のフォトリソグラフィ加工を行う。フォトリソグラフィに用いる露光用光としては、1線(365nm)、またはそれよりも短波長の光、たとえば1線、KrF、ArFエキシマレーザーを用いる。

【0065】レジスト膜の下層側に、高反射性のタングステンシリサイド膜などで構成される第1配線層30となる導電膜が存在することによる定在波効果は、反射防止膜38により良好に抑制され、高精度で微細パターンを作成することが可能である。また、反射防止膜の光学条件は、定在波効果を抑制するように最適化されており、その光学条件の変化が、保護膜40により抑制されているので、レジスト膜に良好な微細パターンを安定して形成することができる。

【0066】その後、このレジスト膜をマスクとして、保護膜40、反射防止膜38および第1配線層30となる導電層を順次エッチング加工すれば、所定の微細パターンに加工された第1配線層30を得る。その後、本実施例では、第1層間絶縁膜36および保護膜40の上20に、第2層間絶縁膜42を成膜する。第2層間絶縁膜42は、特に限定されないが、保護膜40と略同等の光学定数を有する無機膜であることが好ましく、たとえばLP-TEOS法により成膜される酸化シリコン膜で構成される。この第2層間絶縁膜42の膜厚も特に限定されないが、たとえば80～200nm程度である。

【0067】次に、本実施例では、この第2層間絶縁膜42の上に、レジスト膜44をスピコート法などで成膜し、レジスト膜44のフォトリソグラフィ加工を行う。フォトリソグラフィに用いる露光用光としては、1線(365nm)、またはそれよりも短波長の光、たとえば1線、KrF、ArFエキシマレーザーを用いる。

【0068】レジスト膜44の下層側に、高反射性のタングステンシリサイドなどで構成される第1配線層30が存在することによる定在波効果は、反射防止膜38により良好に抑制され、高精度で微細パターン46を作成

することが可能である。また、反射防止膜38の光学条件は、定在波効果を抑制するように最適化されており、その光学条件の変化が、保護膜40により抑制されているので、仮に第2層間絶縁膜42が500℃以上の条件で成膜されていたとしても、レジスト膜44に良好な微細パターン46を安定して形成することができる。

【0069】その後、このレジスト膜44をマスクとして、図18に示すように、第2層間絶縁膜42、保護膜40および反射防止膜38を順次エッチング加工し、微細パターンのコンタクトホール34を高精度で形成する。その後は、コンタクトホール34に入り込むように、第2配線層32を成膜し、第2配線層32と第1配線層30とを接続する。

【0070】本実施例では、1線(365nm)またはそれよりも短波長の光、例えば1線、KrF、ArFエキシマレーザーを光源に用いて、半導体装置を作成する際、化学量論的に不安定な結合を有する反射防止膜38を用いても、該反射防止膜38上に該反射防止膜38の膜質を変質させない保護膜40を用いることにより、良好に安定した微細パターンを形成することができる。

【0071】また、本実施例の保護膜40を用いることで、その上に、層間絶縁膜42を500℃以上の温度で成膜しても、化学量論的に不安定な結合を有する反射防止膜38の光学条件の変化を抑止できることは、次に示す実験により明らかになった。

【0072】図19に示すように、まず、タングステンシリサイド基板48の上に、反射防止膜としてのSi、O、N、H膜50を成膜した。Si、O、N、H膜50は、バイアスECRプラズマCVD法を利用し、マイクロ波(2.45GHz)を用いて、SiH₄+O₂+N₂の混合ガスを用い、パフファガスとしてArを用いて成膜した。成膜時の温度は、360℃であった。成膜時のSi、O、N、H膜50の膜厚は、30nmであった。

【0073】このSi、O、N、H膜50の上に、同一の成膜装置で、360℃の成膜温度で、プラズマTEOS法により、保護膜としてのP-TEOS酸化シリコン膜52を、30nm成膜した。その後、層間絶縁膜として、低圧(LP)TEOS法により、720℃の成膜温度で、LP-TEOS酸化シリコン膜54を、140nm成膜した。

【0074】この多層膜の膜構造を、分光エリブソメータ(たとえばSOPRA社のELLIシステム)を用いて測定した結果を表3に示す。

【0075】

【表3】

| | 濃度 | 膜厚 (nm) |
|------------------|-----------------|---------|
| TEOS酸化シリコン膜54 | -0.022 (ポイド) | 140 |
| P-TEOS酸化シリコン膜52 | -0.001 (ポイド) | 30 |
| 中間膜56 | -0.005 (P-TEOS) | 0.1 |
| Si, O, N, : H膜50 | 0.003 (ポイド) | 31.0 |

【0076】表3中、濃度とは、TEOS酸化シリコン膜54、P-TEOS酸化シリコン膜52またはSi, O, N, : H膜50中のポイドの割合、または中間膜56中のP-TEOS酸化シリコンの割合を示し、マイナスであるほど緻密な膜であることを示す。中間膜56とは、P-TEOS酸化シリコン膜52およびSi, O, N, : H膜50の界面に形成される混在膜である。また、膜厚とは、多層膜形成後に測定した膜厚である。

【0077】表3に示すように、上記条件でSi, O, N, : H膜50の上に、P-TEOS酸化シリコン膜52およびTEOS酸化シリコン膜54を形成すれば、中間膜56はほとんど形成されず、Si, O, N, : H膜50の膜質はほとんど変化せず、その光学条件が変化しないことが証明された。

【0078】また、図19に示すように、上述した条件で、タングステンシリサイド基板48上に、反射防止膜としてのSi, O, N, : H膜50、P-TEOS酸化シリコン膜52およびLP-TEOS酸化シリコン膜54を形成し、その上にレジスト膜を載せた場合の定在波効果を図20の曲線Bに示す。また、反射防止膜としてのSi, O, N, : H膜50が設けられない場合の定在波効果を図20の曲線Aに示す。図示するように、定在波効果をかなり低減できることが確認された。

【0079】なお、図20に示すシミュレーション実験では、露光用光としては、KrF (波長 $\lambda = 248\text{ nm}$)を用いた。レジスト膜としては、XP8843を用い、その n_{res} および k_{res} は、それぞれ1.80および0.011と仮定した。また、タングステンシリサイド基板の n および k は、それぞれ1.93および2.73と仮定した。また、Si, O, N, : H膜の n および k は、それぞれ2.12および0.54と仮定した。また、LP-TEOS酸化シリコン膜およびP-TEOS酸化シリコン膜の n および k は、それぞれ1.52および0と仮定した。

【0080】実施例3

上記実施例1においては、図15に示すオフセット酸化膜を保護膜14で構成したが、本実施例では、オフセット酸化膜を、保護膜と層間膜との積層膜構造に構成する以外は、実施例1と同様にして、半導体装置を製造した。

【0081】保護膜は、20~100 nmの膜厚を有し、500℃以下の成膜温度でCVD法により成膜された酸化シリコン膜、プラズマTEOS法またはオゾンT

EOS法により成膜された酸化シリコン膜などで構成した。また、層間膜は、80~200 nm程度の膜厚を有し、保護膜と略同等の光学定数を有する無機膜であることが好ましく、たとえばLP-TEOS法により成膜される酸化シリコン膜で構成した。

【0082】実施例4

本実施例では、上記実施例1~実施例3で示した、反射防止膜としてのSi, O, N, : H膜を、以下の手法により成膜した以外は、実施例1~3で示した半導体装置の製造方法と同様にして半導体装置を製造した。

【0083】すなわち、本実施例では、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波(2.45 GHz)を用いて、SiH₄ + O₂ + N₂の混合ガス、もしくはSiH₄ + N₂ Oの混合ガスを用いて、Si, O, N, : H膜を成膜した。

【0084】実施例5

本実施例では、上記実施例1~実施例3で示した、Si, O, N, : H膜を、以下の手法により成膜した以外は、実施例1~3で示した半導体装置の製造方法と同様にして半導体装置を製造した。

【0085】すなわち、本実施例では、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波(2.45 GHz)を用いて、SiH₄ + O₂ + N₂の混合ガス、もしくはSiH₄ + N₂ Oの混合ガスを用い、バッファガスとしてArを用い、Si, O, N, : H膜を成膜した。

【0086】実施例6

本実施例では、上記実施例1~実施例3で示した、Si, O, N, : H膜を、以下の手法により成膜した以外は、実施例1~3で示した半導体装置の製造方法と同様にして半導体装置を製造した。

【0087】すなわち、本実施例では、平行平板型プラズマCVD法、ECRCVD法、もしくはバイアスECRプラズマCVD法を利用し、SiH₄ + O₂ + N₂の混合ガス、もしくはSiH₄ + N₂ Oの混合ガスを用いて、Si, O, N, : H膜を成膜した。

【0088】実施例7

本実施例では、上記実施例1~実施例3で示した、Si, O, N, : H膜を、以下の手法により成膜した以外は、実施例1~3で示した半導体装置の製造方法と同様にして半導体装置を製造した。

【0089】すなわち、本実施例では、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、 $\text{SiH}_4 + \text{O}_2 + \text{N}_2$ の混合ガス、もしくは $\text{SiH}_4 + \text{N}_2\text{O}$ の混合ガスを用いて、バッファガスとしてArを用い、 Si 、 O 、 N 、 H 膜を成膜した。

【0090】実施例8

本実施例では、実施例1～3で示した、反射防止膜としての Si 、 O 、 N 、 H 膜の代わりに、 Si 、 N を用い、それを、以下の手法により成膜した以外は、実施例1～3と同様にして、半導体装置を製造した。

【0091】すなわち、本実施例では、反射防止膜を、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波（2.45GHz）を用いて、 $\text{SiH}_4 + \text{NH}_3$ 混合ガス、もしくは $\text{SiH}_4 + \text{Cl}_2 + \text{NH}_3$ 混合ガスを用いて成膜した。

【0092】実施例9

本実施例では、実施例1～3で示した、反射防止膜としての Si 、 O 、 N 、 H 膜の代わりに、 Si 、 N を用い、それを、以下の手法により成膜した以外は、実施例1～3と同様にして、半導体装置を製造した。

【0093】すなわち、本実施例では、反射防止膜を、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波（2.45GHz）を用いて、 $\text{SiH}_4 + \text{O}_2$ 混合ガス、もしくは $\text{SiH}_4 + \text{Cl}_2 + \text{NH}_3$ 混合ガスを用い、バッファガスとしてArを用いて成膜した。

【0094】実施例10

本実施例では、実施例1～3で示した、反射防止膜としての Si 、 O 、 N 、 H 膜の代わりに、 Si 、 N を用い、それを、以下の手法により成膜した以外は、実施例1～3と同様にして、半導体装置を製造した。

【0095】すなわち、本実施例では、反射防止膜を、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、 $\text{SiH}_4 + \text{O}_2$ 混合ガス、もしくは $\text{SiH}_4 + \text{Cl}_2 + \text{NH}_3$ 混合ガスを用いて成膜した。

【0096】実施例11

本実施例では、実施例1～3で示した、反射防止膜としての Si 、 O 、 N 、 H 膜の代わりに、 Si 、 N を用い、それを、以下の手法により成膜した以外は、実施例1～3と同様にして、半導体装置に微細パターンを形成した。

【0097】すなわち、本実施例では、反射防止膜を、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、 $\text{SiH}_4 + \text{O}_2$ 混合ガス、もしくは $\text{SiH}_4 + \text{Cl}_2 + \text{NH}_3$ 混合ガスを用い、バッファガスとしてArを用

いて成膜した。

【0098】

【発明の効果】以上説明してきたように、本発明の半導体装置の製造方法によれば、1線（365nm）またはそれよりも短波長の光、例えば1線、KrF、ArFエキシマレーザーを光源に用いて、半導体デバイスを作成する際、化学量論的に不安定な結合を有する反射防止膜を用いても、該反射防止膜上に該反射防止膜の膜質を変質させない保護膜を用いることにより、良好に安定した微細パターンを形成することができる。

【0099】すなわち、本発明によれば、段差構造を有し、かつ半導体マスクパターンが微細なものであっても、反射防止効果と無機マスク機能とを兼ね備える無機膜、特に Si 、 O 、 N 、 H 膜を用いることにより、工程数を増加させることなく、安定したマスクパターンを配線層上に良好に形成できる。

【図面の簡単な説明】

【図1】図1はレジスト膜内での光の干渉を示す概略図である。

【図2】図2はシリコン基板上の定在波効果を示す図である。

【図3】図3は段差による定在波効果への影響を推定する図である。

【図4】図4は吸収光量の変動とパターン寸法変動との関係を示すグラフである。

【図5】図5はシリコン基板上の定在波効果を示す図である。

【図6】図6は反射防止膜の膜厚を固定して、光学定数 n 、 k を変化させた場合の吸収光量の等高線を示す図である。

【図7】図7は他の異なったレジスト膜厚について、図6と同様な吸収光量の等高線を示す図である。

【図8】図8は他の異なったレジスト膜厚について、図6と同様な吸収光量の等高線を示す図である。

【図9】図9は他の異なったレジスト膜厚について、図6と同様な吸収光量の等高線を示す図である。

【図10】図10（A）、（B）は製造条件を変化させた場合の Si 、 O 、 N の光学定数の変化を示すグラフである。

【図11】図11はタングステンシリサイド下地基板上に、 Si 、 O 、 N 、 H 膜を成膜した場合の反射防止効果を示す図である。

【図12】図12はアルミシリコンシリサイド基板上に Si 、 O 、 N 、 H 膜を成膜した場合の反射防止効果を示す図である。

【図13】図13はシリコン基板上に Si 、 O 、 N 、 H 膜を成膜した場合の反射防止効果を示す図である。

【図14】図14は Si 、 O 、 N 、 H 膜をアニールした場合のFT-IRスペクトル分析図である。

【図15】図15は本発明の一実施例に係る半導体装置

の製造過程を示す要部断面図である。

【図16】図16は保護膜の効果を確かめる実験例を示す概略図である。

【図17】図17は本発明の他の実施例に係る半導体装置の製造過程を示す概略断面図である。

【図18】図18は図17に示す工程の続きの工程を示す概略断面図である。

【図19】図19は保護膜の効果を確かめる実験例を示す概略図である。

【図20】図20は反射防止膜および保護膜を積層させた場合の定在波効果を示すグラフである。

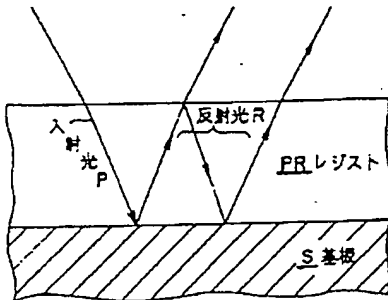
【符号の説明】

- 2… 半導体基板
4… 素子分離領域

- 6… ゲート絶縁膜
8… ポリシリコン膜
10… タングステンシリサイド膜
12… 反射防止膜
14… 保護膜（オフセット酸化膜）
30… 第1配線層
32… 第2配線層
34… コンタクトホール
36… 第1層間絶縁膜
38… 反射防止膜
40… 保護膜
42… 第2層間絶縁膜
44… レジスト膜

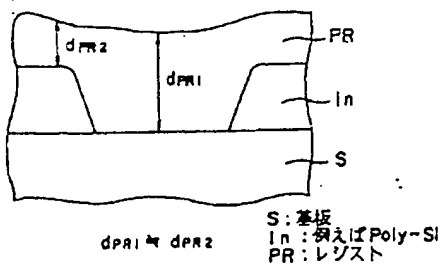
【図1】

レジスト膜内での光の干渉



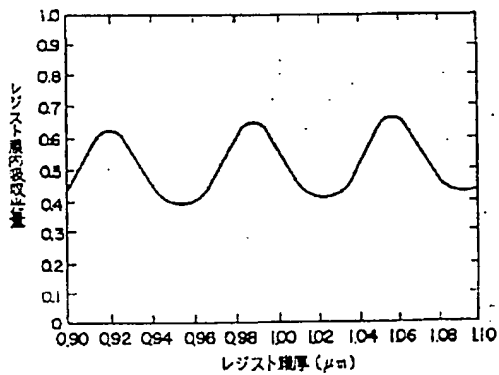
【図3】

段差の影響



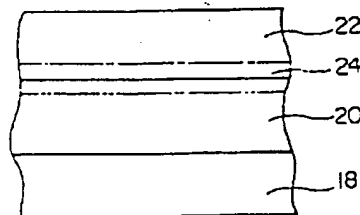
【図2】

定在波効果

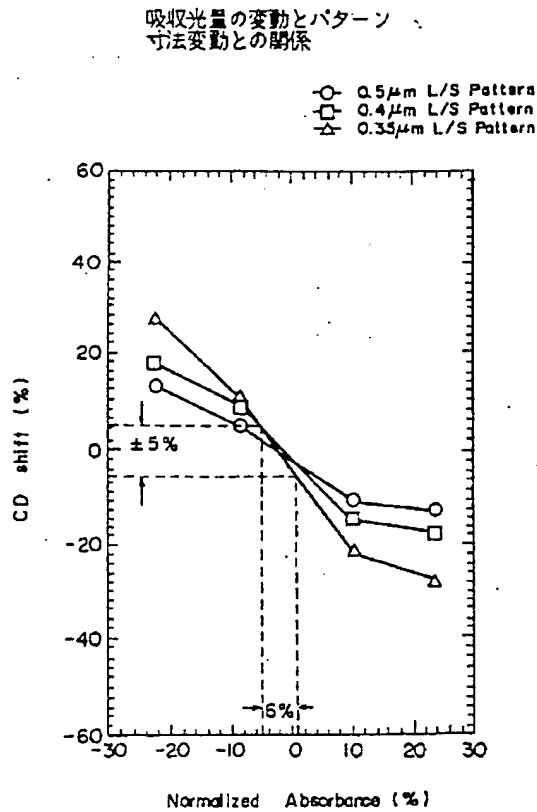


$\lambda = 248\text{nm}$
X P 8843/Si
 $n_{PR} = 1.802, k_{PR} = 0.0107$
 $n_{Si} = 1.5717, k_{Si} = 3.583$

【図16】

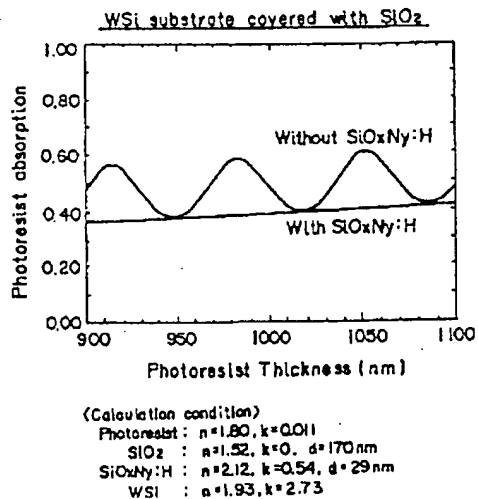


【図4】

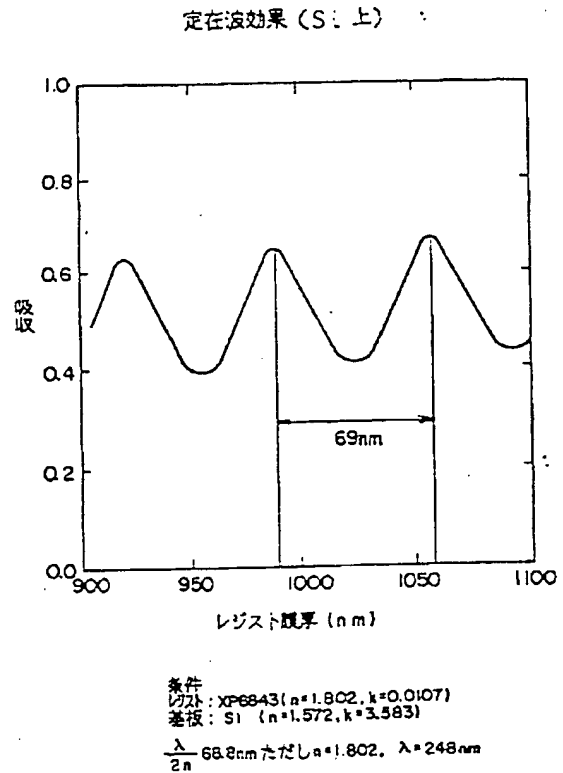


【図11】

Simulated ARL performance of SiO_xNy:H film for W-Si substrate.

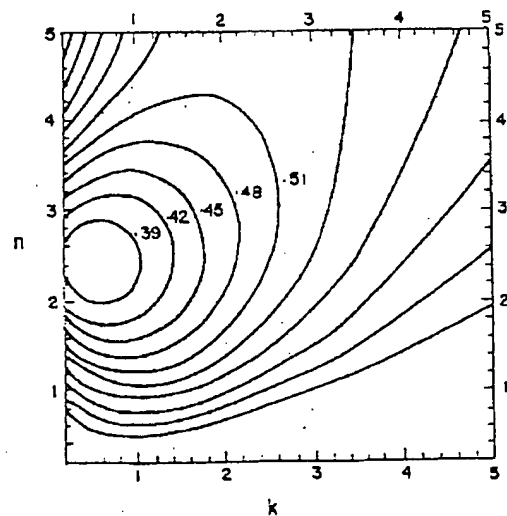


【図5】



【図6】

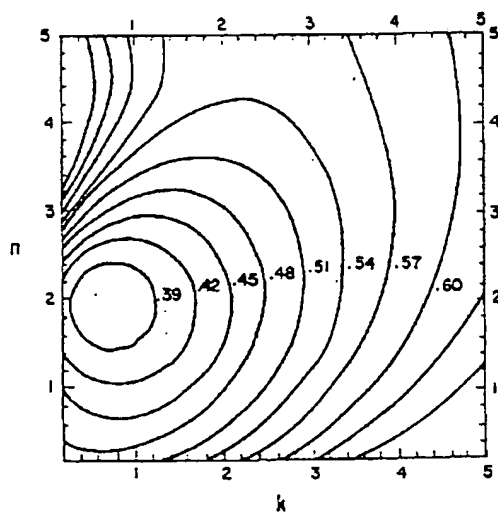
或るレジスト膜厚について反射防止膜 ARL の膜厚を固定して $n_{\text{arl}}, k_{\text{arl}}$ を変化させた場合のレジスト膜の吸収光量の変化の軌跡



レジスト膜厚 985nm
反射防止膜厚 20nm

【図7】

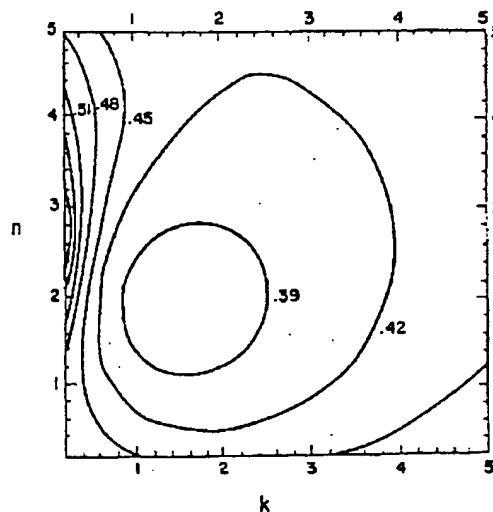
他の異なったレジスト膜厚についての軌跡



レジスト膜厚 1000nm
反射防止膜厚 20nm

【図8】

他の異なったレジスト膜厚についての軌跡

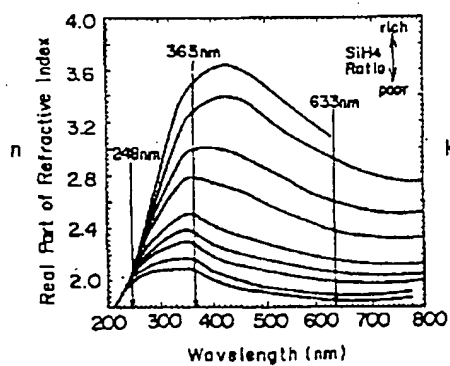


レジスト膜厚 1018nm
反射防止膜厚 20nm

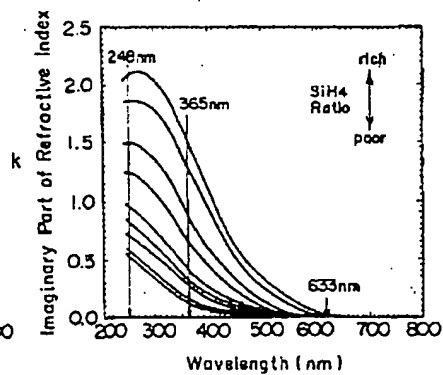
【図10】

Spectroscopic optical constants of SiO_xNy:H film.

(A)

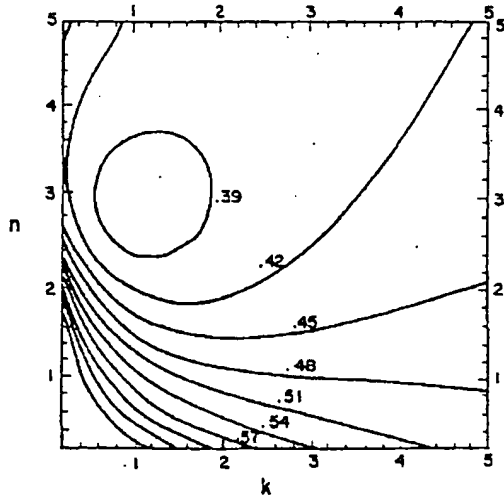


(B)



【図9】

他の異なったレジスト膜厚についての軌跡

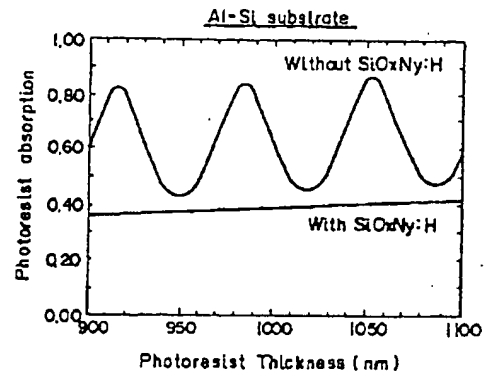


レジスト膜厚 1035nm

反射防止膜厚 20nm

【図12】

Simulated ARL performance of SiOxNy:H film for Al-Si substrate.

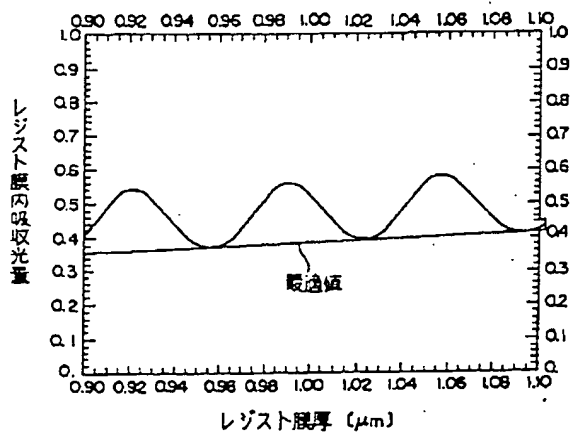
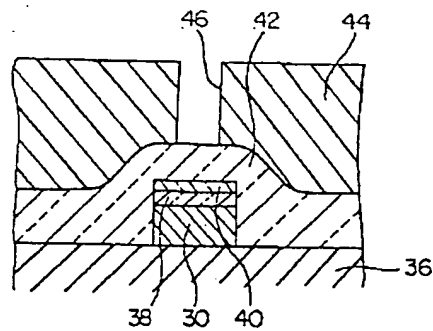


(Calculation condition)

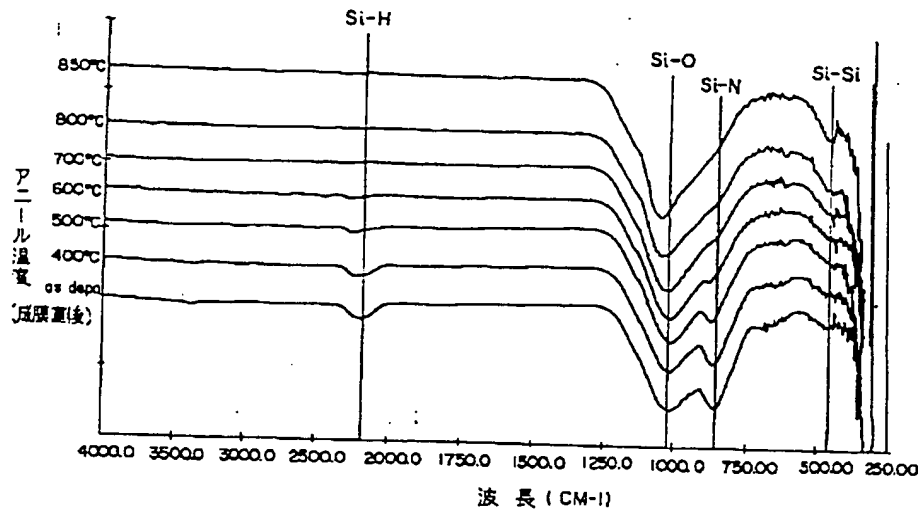
Photoresist: $n=1.80$, $k=0.011$ SiOxNy:H: $n=2.09$, $k=0.87$, $d=24\text{nm}$ Al-Si: $n=0.089$, $k=2.354$

【図17】

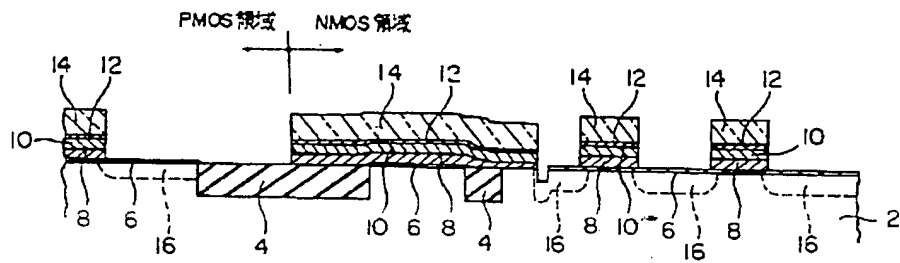
【図13】

Si基板上的 Si_xO_yN_z膜, Si_xN_y膜(32nm)の反射防止効果XP8843/Si_xO_yN_z, Si_xN_y(32nm)/Si
 $n_{\text{SiOxNy}}=2.0$
 $k_{\text{SiOxNy}}=0.55$ 

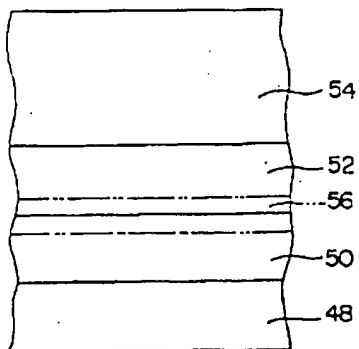
【図14】



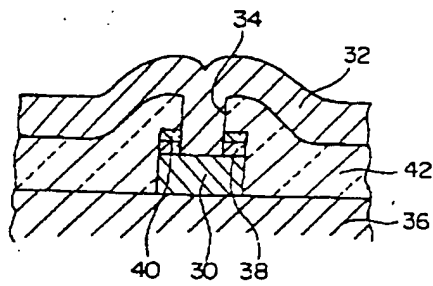
【図15】



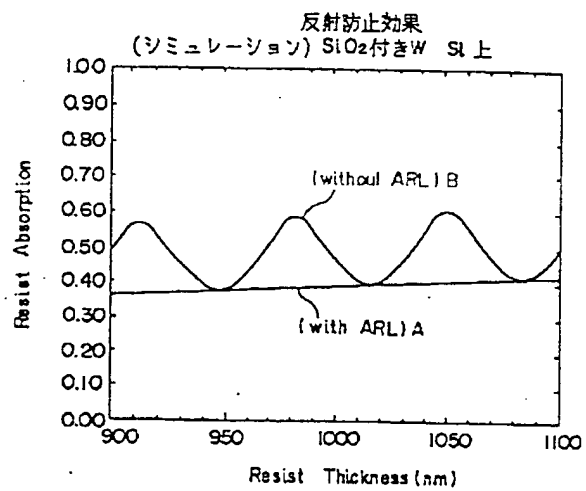
【図19】



【図18】



【図20】



計算条件: Photoresist: $n=1.80$, $k=0.01$;

SiO₂: LP-TEOS 140nm / P-TEOS 30nm, 共に $n=1.52$, $k=0$

SiO_xNy(Hz): $n=2.12$, $k=0.54$, $d=29$ nm

WSi: $n=1.93$, $k=2.73$

Public Patent Official Report (A)

(11) Publication number

07201716 A

(43) Date of publication of application: August 4, 1995

| (51) Int. Cl. | Distinguished Number | Reference Number | F1 |
|---------------|----------------------|------------------|-----|
| H01L 21/027 | | | |
| G03F 7/11 | 503 | | |
| H01L 21/318 | C 7352-4M | | |
| | 7352-4M | H01L 21/30 | 574 |

Total page 15

(21) Application number 5-352031

(22) Date of filing December 29, 1993

(71) Applicant 000002185

Sony Corporation

6-7-35 Kitashinagawa,
Shinagawa-ku, Tokyo

(72) Inventor Toru Ogawa

c/o Sony Corporation

6-7-35 Kitashinagawa,
Shinagawa-ku, Tokyo

(74) Attorney Takahisa Sato

(54) Invention

Semiconductor Device and its manufacture

(57) Abstract

Purpose: To provide a semiconductor device and its manufacturing method capable of avoiding the decomposition of a reflection preventive film having stoichiometrically unstable bonds as well as forming a highly stable fine pattern.

Constitution: A reflection preventive film 12 having stoichiometrically unstable bonds is formed on an underneath substrate; a protective film 14 suppressing the change in the optical requirements of this reflection preventive film 12 is formed; and then a resist film is formed on this protective film 14 directly or through the intermediary of an interlayer film so as to be processed according, to a specific pattern using photolithography.

Coverage of patent

Claim 1 – The manufacturing method of a semiconductor device which processes an underneath substrate. The underneath substrate has a resist film formed by a specific pattern using photolithography, and the resist film is used as a mask for etching. The manufacturing method includes the following processes: forming a reflection preventive film having stoichiometrically unstable bonds on the underneath substrate; forming a protective film suppressing the change in the film's optical requirements on the reflection preventive film; forming a resist film on this protective film directly or through the intermediary of an interlayer film; processing this resist film by a specific pattern using photolithography.

Claim 2 – The manufacturing method of the semiconductor device mentioned in the Claim 1 which is constituted by a reflection preventive film, $\text{Si}_x\text{O}_y\text{N}_z$ (x is a real number that does not include 0, y is a real number that includes 0 and z is a real number that does not include 0).

Claim 3 – The manufacturing method of the semiconductor device mentioned in the Claim 1 and Claim 2 whose protective film is constituted by the same quality of the material with the optical characteristics as the interlayer film formed on the protective film.

Claim 4 - The manufacturing method of the semiconductor device mentioned in the Claim 1 through 3: its protective film is constituted by an inorganic film with refracting rate, n , is between 1.4 and 1.7 to wavelength for exposure light; its interlayer film is constituted by a silicon oxide film.

Claim 5 - The manufacturing method of the semiconductor device mentioned in the Claim 1 through 4 whose protective film is formed by the plasma TEOS method.

Claim 6 - The manufacturing method of the semiconductor device mentioned in the Claim 1 through 5 whose protective film is formed at the temperature below that of the reflection preventive film is formed.

Claim 7 - The manufacturing method of the semiconductor device mentioned in the Claim 1 through 6 whose protective film is an insulation film and also serves as an interlayer film.

Claim 8 – In a semiconductor device with a MOS transistor, a reflection preventive film is formed on a gate electrode of the MOS transistor. The reflection preventive film is constituted by $\text{Si}_x\text{O}_y\text{N}_z$ (x is a real number that does not include 0, y is a real number that includes 0 and z is a real number that does not include 0). A protective film is formed over the reflection preventive film and suppresses the change in the optical requirements of this reflection preventive film. The semiconductor device whose protective film is at least a part of the offset oxide film of the gate electrode.

Claim 9 – A semiconductor device with lower wiring layers, interlayer insulation film and upper wiring layers. The lower wiring layers and the upper wiring layers are connecting each other through the contact hole formed in the interlayer insulation film. On the surface of the lower wiring layer, it is formed a reflection preventive film is formed, and it is constituted by $\text{Si}_x\text{O}_y\text{N}_z$ (x is a real number that does not include 0, y is a real number that includes 0 and z is a real number that does not include 0). On this reflection preventive film, there is a protective film suppressing the change in the optical requirements of this reflection preventive film.

Claim 10 – The protective film mentioned above is formed by plasma TEOS method at the temperature below that of the reflection preventive film is formed. The semiconductor device mentioned in the Claim 8 contains such protective film.

Claim 11 – The protective is an interlayer insulation film, and is formed by the plasma TEOS method in the temperature below that of the reflection preventive film is formed. The semiconductor device mentioned in the Claim 9 has such film.

Explanation

0001 – Industrial use

This invention is a semiconductor device as well as its production method. Furthermore, it is a semiconductor device that is capable of forming a stable fine pattern as well as its production method.

0002 – Conventional technique

For the research and development of semiconductor integrated circuit, a design rule device for the sub-half micron domain has been developed. The photolithography technique is used for the development of such devices, and a light exposure device called Stepper (a retrenchment projection exposure) whose light source exposure is a single wavelength is used in the photolithography.

0003 – When a single wavelength is used for exposure, a phenomenon known as “Standing Wave Effects” is noted. Multiplex interference of light exposure in the resist film causes the effects. As in the chart 1, the incident light P and the reflected light R in the interface between the resist PR and the substrate S intervene each other in the resist film. As a result, the amount of light being absorbed to the resist (y-axis) changes depending on the thickness of the resist film (x-axis) as shown in the chart 2. Now, the amount of light being absorbed to the resist means that the light being absorbed to the resist itself which excludes lights of the surface reflection on the resist surface or absorption in the substrate and emission from the resist. Such lights being absorbed to the resist become energy for light reaction.

0004 – The chart 2 shows the variation of the amount of lights being absorbed by the thickness of resist film (XP 8843) on a silicon substrate, assuming KrF is $\lambda = 248\text{nm}$ as the light for the light exposure. For the true device, there is always unevenness on the substrate as shown in the chart 3. For example, there is always a convex In of poly silicon, so when the resist film PR is coated, the thickness of the film differs between top and bottom sides. That is, the thickness d_{prz} on the convex part In is thinner than that on the other sides.

0005 – Because the Standing Wave Effects depend on the thickness of the resist film (see above), the amount of the light being absorbed to the resist, which is influenced by the effect, changes. As a result, exposure and the size of the resist pattern after the phenomenon differs between top and bottom sides. The more the size of the resist pattern gets detailed, the clearer the Standing Wave Effects influences the pattern size. Every kind of resist has the same phenomenon.

0006 – Generally, the precision of the size of resist pattern in the process of photolithography is plus and minus 5 percent. It is necessary to reduce the Standing Wave Effects to achieve such precision. The chart 4 shows the size variations in the resist pattern (y-axis) to the amount variations in the light absorption in the resist film. The chart clearly shows that it is required to keep the amount variations in the light absorption within the range 6 percent to produce a device with the rule of 0.35 μ m.

0007 – issues that the invention tries to resolve

To meet the above requirement investigations of the techniques of reflection preventive film are carried out in the various fields. As a result, the inventor has discovered that Si C SiO_x, Si_xO_yN_x, Si_xN_y are superior materials for a reflection preventive film on a high melting point metal silicide (W-Si), metal (Al-Si) or silicon system materials (Poly-Si). They all need a reflection preventive film.

0008 – To produce a device, especially the one with 0.35 μ m design rule, it is necessary to use the Selfalene contact method (SAC). To use this method, an offset oxide film is formed on the gate electrode with W-Si, and a photoresist layer is formed on the oxide film. Then the semiconductor mask patterns are transcribed to the resist. The semiconductor device is produced by etching the offset oxide film and the high melting point metal silicide (W-Si) and silicon system material (Poly-Si) using the transcribed resist as a mask.

0009 – The inventor has discovered that it is effective to form a reflection preventive film, which is constituted by SiO_x, Si_xN_y, Si_xO_yN_z films, under the resist film when fine patterns are formed during the formation of semiconductor mask patterns on the high melting point metal silicide (W-Si) and silicon system materials (Poly-Si).

0010 – However, the SiO_x, Si_xN_y, Si_xO_yN_z films are not stoichiometrically stable. Therefore, when the offset oxide film is formed on these reflection preventive films and the fine patterns are formed over the films, the quality of the reflection preventive films changes if the filming temperature is high (changes in optical requirments). This reduces reflection preventive effects and makes it difficult to form a stable detailed pattern. So, it has been essential to deal with this issue.

0011 – The purpose of this invention is to provide a semiconductor device and its manufacturing method capable of avoiding the decomposition of the reflection preventive film having stoichiometrically unstable bonds as well as forming a highly stable fine pattern.

0012 – Means and actions to solve the issue

When a semiconductor device is produced using an i-beam (365 nm) or a short wavelength light (i.e. KrF, ArF Excimer laser) as a light source, this invention makes it possible to form a stable fine pattern. To do so, it is necessary to fix a protective film on a reflection preventive film in order to prevent decomposition of the reflection preventive film that has stoichiometrically unstable bonds. The protective film controls the variation of optical requirements and prevents decomposition of the reflection preventive film.

0013 – The following steps are used to fix the reflection preventive film:

(I) Get a contour line for light absorption amount in the resist film to thickness of a resist when the optical requirements, n and k, for the reflection preventive film changes continuously (the thickness of the reflection preventive film is fixed at will).

0014 – (II) Based on the results, find a common domain that the difference of the light absorption

amount becomes the smallest. The optical requirements in this domain become n and k which are fixed as the optical requirements for the film thickness of reflection preventive film, mentioned in (I).

0015 – (III) Repeat the operations (I) and (II) changing the thickness of the reflection preventive film and get the optical constants, n and k , for each condition. (IV) Find the reflection preventive film materials which have the optical constants obtained in the step (III).

0016 – Now the following is a concrete explanation of the above steps. 1) To get the intermediary of maximum value of the Standing Wave Effects or the intermediary of minimum value of resist thickness, $\lambda/4n$ when refraction rate of resist is n_{pr} and a wavelength of the exposure light is λ . (refer chart 5)

0017 – 2) Process a reflection preventive film ARL between a resist and an underneath substrate with the thickness, d_{arl} , and optical constant, n_{arl} and k_{arl} . 3) Attention to some spot in the film thickness, for example, the thickness at the maximum the Standing Wave Effects. Changing n_{arl} and k_{arl} while fixing the thickness d_{arl} , the light absorption amounts of the resist film at each point change. The chart 6 shows a locus of this changes which is a contour line for light absorption amount in the resist film.

0018 – 4) For other different resist film thickness, d_{pr} , the charts 7 through 9 show the results corresponds to the chart 6, when the step 3 is conducted repeatedly to four different points with a space of $\lambda/8 n_{pr}$, based on the film thickness that makes the Standing Wave Effects at the maximum or at the minimum. The charts show the results when thickness for the reflection preventive film is fixed at 20 nm and thickness for each resist film is fixed at 985 nm, 1000 nm, 1018 nm and 1035 nm. The steps 1 through 4 apply to the procedure (I).

0019 – 5) The common domain in the charts 6 through 9 show the area that the light absorption amount does not change in the resist film even though the thickness of the resist film changes. This means that the common domain is the area that makes the Standing Wave Effects as minimum as possible and is highly effective for the reflection prevention. Therefore, it is essential to find the common domain. To get the common domain easily, place one chart upon another or search for it by computer. This step applies to the procedure (II).

0020 – 6) Now, changing the thickness for reflection preventive film, d , conduct 3, 4 and 5 repeatedly. For example, the steps 3, 4 and 5 are conducted with $d=20$ nm and then change d 's figure and repeat these steps again. By doing so, it is possible to specify the requirements of reflection preventive film, d_{arl} , optical constant n_{arl} and k_{arl} that keeps the Standing Wave Effects as minimum as possible. This applies to the procedure (III).

0021 – 7) It is possible to find a film that meets the requirements of thickness and the optical constant being specified in the step 6 by measuring the optical constant in the light exposure for each type of film. This applies to the procedure (IV). In principle, this step is applicable for every wavelength and all underneath substrates.

0022 – Using the procedures I through IV, the following materials are appropriate for the reflection preventive films in this invention: silicon system films such as single crystallization silicon, multi-crystallization silicon, amorphous silicon, doped poly silicon. Also, it is appropriate to use the $Si_xO_yN_z$ film as the reflection preventive film on the highly reflective substrate such as high melting point metal silicide system films.

0023 – For silicon system films or reflection preventive films on a highly reflective substrate, it is desirable to use inorganic film whose optical constant is: $n=1.7\sim2.4$, $k<0.90$ (possibly $0.1<k<0.6$), such as the $\text{Si}_x\text{O}_y\text{N}_z$ film (it is okay to contain hydrogen H) or the Si_xN_y film with thickness of 20~300 nm.

0024 – For example, a $\text{Si}_x\text{O}_y\text{N}_z$ film or a $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film is able to control an imaginary number of refraction rate k depending on the condition at forming the film. i.e. in a wavelength belt of 248 nm and the actual number of refraction rate n of 2.8, the film can control an imaginary number of refraction rate k by changing the flow rate of silane-base gas. Therefore, a reflection preventive film for a specific substrate with certain optical constant can be made easily.

0025 – For example, it is appropriate to use a reflection preventive film with $n=2.12$, $k=0.54$ and $d=29$ nm for the W-Si substrate to keep the Standing Wave Effects as minimum as possible. For Al-Si substrate, it is appropriate to use a reflection preventive film with $n=2.09$, $k=0.87$ and $d=24$ nm to keep the Standing Wave Effects as minimum as possible. For the Si substrate, it is appropriate to use a reflection preventive film with $n=2.0$, $k=0.55$ and $d=32$ nm to keep the Standing Wave Effects as minimum as possible.

0026 – The charts 11, 12 and 13 show the comparison of the Standing Wave Effects with and without a $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film being formed on the tungsten silicide, aluminum silicon and single crystallization silicon separately. As in the charts, using the a $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film with the appropriate condition as a reflection preventive film, it is possible to minimize the Standing Wave Effects, and to achieve the reflection preventive effect.

0027 – However, the a $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film is stoichiometrically unstable film despite the advantage that the optical constant can be set freely. The chart 14 shows the FT-IR spectroscopic analysis. The bonding condition of a $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film with the anile process at the temperature over 500C is different from it is immediately after the formation. As the film's bonding condition changes, its optical requirements change which may not keep the good reflection preventive effect.

0028 – Now, to protect a stoichiometrically unstable reflection preventive film, one of the possible ways is to form a protective film on the reflection preventive film. Nevertheless, not all protective films are applicable because the special quality of the reflection preventive film should not change by heat treatment at the formation of the protective film.

0029 – The inventor has found that to protect bonding condition of the $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film. a stoichiometrically stable film should be formed as protective film on the $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film with the same formation temperature of the $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film.

0030 – For an intermediary of an interlayer film with self align contact technique, an oxide film with thickness of 80-200 nm is used. The real number of the film's optical constant is about $n=1.4\sim1.7$. Therefore, it is possible to prevent decomposition of the $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film. For example, a silicon oxide film with thickness 30nm is formed on the $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film by P-TEOS method with the same forming device and temperature, and then form a silicon oxide film with thickness of 140nm as an intermediary of an interlayer film by LP-TEOS method at 720 C. Because forming a silicon oxide film by the P-TEOS method and by the LP-TEOS method is optically the same, the reflection preventive effect of the $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film is not disappear.

0031 – This means that a stable pattern can be formed by using a protective film to prevent decomposition of a reflection preventive film that contains stoichiometrically unstable bonds. Meeting the above objective, the invention has completed. To do so, the manufacturing method of this semiconductor device includes the following processes: formation of a reflection preventive film that contains stoichiometrically unstable bonds on an underneath substrate; formation of a protective film on the reflection preventive film to prevent decomposition of optical requirements for the reflection preventive film; formation of a resist film directly or through the intermediary of an interlayer film on the protective film; and processing the resist film to a designated pattern by photolithography method.

0032 – It is preferable for the reflection preventive film to be constituted with the $\text{Si}_x\text{O}_y\text{N}_z$ (x is a real number excluding 0, y is a real number including 0 and z is a real number excluding 0). A $\text{Si}_x\text{O}_y\text{N}_z$ film or a Si_xN_y film as a reflection preventive film can be formed easily by CVD method with gas system including silicon. For example, using parallel flat style plasma CVD method, ECR plasma CVD method, or bias ECR plasma CVD method, it is possible to form such films by micro wave and mixed gas, $\text{SiH}_4 + \text{O}_2 + \text{N}_2$ or $\text{SiH}_4 + \text{N}_2\text{O}$. The Algon Ar gas can be used as buffer gas.

0033 – The reflection preventive film, $\text{Si}_x\text{O}_y\text{N}_z$ film or Si_xN_y film, can etch easily by RIE. The RIE contains enhanced ionic nature by making a resist as a mask and CF_4 , CHF_3 , C_2F_6 , C_4F_6 , SF_6 , S_2F_2 , NF_3 gas as enphants and adding Ar. It is desirable to conduct RIE under the pressure of 2 Pa with the power of 10-100 W. Also, the gas flow at the RIE is preferred to be set between 5 and 70SCCM.

0034 – The materials of the protective film are desirable to have the same optical characteristics as an interlayer film. It is better to be constituted by inorganic materials. The preferred thickness is between 20 and 200 nm. The protective film is desirable to be constituted by an inorganic film with refracting rate (n) is between 1.4 and 1.7, and the interlayer film is desired to be constituted by a silicon oxide film.

0035 – The protective film is desirable to be made by plasma TEOS method or ozone TEOS method. It is desirable that the protective film is formed at the temperature below the one that forms the reflection protective film. In details, it is desirable that the protective film is formed below 500 C.

0036 – It is desirable to use the same formation device when a reflection protective film and a protective film are formed or the reflection protective film, the protective film and the interlayer film are formed. The protective film is an insulation film and can be interlayer film at the same time. To do so, the first semiconductor device has a reflection preventive film constituting the $\text{Si}_x\text{O}_y\text{N}_z$ (x is a real number excluding 0, y is a real number including 0 and z is a real number excluding 0) is formed on a gate electrode in the MOS transistor. And, the protective film is formed on the reflection preventive film to protect the optical requirements of the film from the decomposition and is a part of the offset oxide film in the gate electrode.

0037 – The second semiconductor device has lower wiring layers, an interlayer insulation film and upper wiring layers. The lower wiring layers and the upper wiring layers are connected through the contact hole formed in the interlayer insulation film. A reflection preventive film which is constituted by the $\text{Si}_x\text{O}_y\text{N}_z$ (x is a real number excluding 0, y is a real number including 0 and z is a real number excluding 0) is formed on the surface of the lower wiring layer. An interlayer insulation film with a function to prevent the decomposition of the optical requirements of the reflection preventive film is formed on the reflection preventive film.

0038 – Utilization

The following are examples of utilization. The invention is, of course, not limited to following examples.

0039 – Example 1

This is an example of utilization of this invention at the formation of stable mask pattern on a high reflection substrate by using a protective film. Using i-laser, KrF, or ArF Excimer laser as a light source for this device, when semiconductor mask pattern is formed on a high reflection substrate, a protective film is used to prevent decomposition of a reflection preventive film which has stoichiometrically unstable bonds.

0040 – The chart 15 shows the manufacturing method of the semiconductor device. For example, the method is appropriate for the production process of a gate electrode with high melting point metal silicide such as W or W-Si. However, it is also applicable to other kinds of substrates, resists and high reflection layers.

0041 – The chart 15 shows the manufacturing process of the semiconductor device. The gate electrodes for the NMOS transistor the PMOS transistor are formed on a semiconductor substrate 2.

0042 – A silicon wafer is used for the semiconductor substrate 2. An element isolation region 4 is formed on surface of the semiconductor substrate 2. This is formed by some methods such as LOCOS method or Trench style element isolation method. After the element isolation region 4 is formed on the substrate's surface, a gate insulation film 6 is formed on the surface of the semiconductor substrate 2. The film is formed by heat oxidation of the surface of the semiconductor substrate 2 and is constituted by silicon oxidant.

0043 – Next, a poly silicon film 8 is formed on the surface of the gate insulation film. A tungsten silicide film 10 is formed by CVD method on the surface of the poly silicon film 8. Both the poly silicon film 8 and the tungsten silicide film 10 become gate electrode for the MOS transistor. The following is a method of patterning process.

0044 – First of all, a reflection protective film 12 is formed to process both the poly silicon film 8 and the tungsten silicide film 10 to fine patterns. A $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film with its optical constant, $n=1.7-2.4$ and $k<0.9$ (preferably $0.1<k<0.6$) and its thickness of 20-300nm is used as a reflection protective film 12.

0045 – The $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film can be formed easily by each CVD method including silicon gas system. For example, the film is used one of the methods such as parallel flat plasma CVD, ECR plasma CVD, or Bias ECR plasma CVD. Using micro wave and mixed gas (i.e. $\text{SiH}_4 + \text{O}_2 + \text{N}_2$ or $\text{SiH}_4 + \text{N}_2\text{O}$) the film can be formed. In this process, argon (Ar) gas can be used as buffer gas. The temperature is around 350-400 C for example.

0046 – Next, a protective film 14 is formed on the reflection protective film 12. The protective film 14 also works as offset oxide film. Its thickness is 20-200 nm. The protective film is a film to prevent the decomposition of the optical requirements of the reflection preventive film 12 that is constituted by stoichiometrically unstable $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film. The protective film is constituted by silicon oxide films which are formed by several methods such as CVD method at temperature below 500 C, plasma TEOS method or ozone TEOS method. It is possible to use the same device to form the reflection protective film 12 and the protective film 14.

0047 – Then, a resist film is formed on the protective film including an offset oxidant film by spin coating method, and the photo lithography process is conducted on the resist film. The exposure light for the photo lithography is i-laser with 365 nm or longer wave length light such as i-laser, KrF, ArF Excimer laser.

0048 – The reflection preventive film 12 keeps the Standing Wave Effects as minimum as possible and makes it possible to form an extremely precise and fine pattern. The Standing Wave Effects is caused by existence of a highly reflective tungsten silicide film on the lower layer of the resist film. The optical requirements for the reflection protective film are set in the optimum to prevent the Standing Wave Effects. Because the protective film 14 prevents the decomposition of the optical requirements, it is possible to form a stable fine pattern in the resist film.

0049 – After that, making the resist film as a mask, the protective film 14, the reflection preventive film 12, the tungsten silicide film 10 and the poly silicon film 8 go through the etching process. The chart 15 shows the process. The $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film as the reflection preventive film 12 can be easily etched by RIE. The RIE contains enhanced ionic nature by making a resist as a mask and CF_4 , CHF_3 , C_2F_6 , C_4F_6 , SF_6 , S_2F_2 , NF_3 gas as enchants.

0050 – In order to form a source drain domain with LDD constitution, a low concentrated impurities diffusion layer 16 is formed by injecting ion into both the NMOS transistor domain and the PMOS transistor domain. Then, making the protective film 14 as the offset oxide film, and an insulated side walls are formed on both sides of the film. The source drain domain with LDD constitution is formed by injecting ion from the top of the side walls. After that, the semiconductor device is made following the normal SRAM manufacturing process.

0051 – When the semiconductor device is made by using i-laser of 365 nm or longer wave length light such as i-laser, KrF, ArF Excimer laser, it is possible to form a stable fine patter even though the reflection protective film 12 has stoichiometrically unstable bonds. This is because a protective film is used on the reflection preventive film and the protective film prevents deterioration of the quality of the reflection preventive film. It is also used as the offset oxide film so the manufacturing process remains unchanged.

0052 – The following experiment proves that the protective film 14 is capable of preventing the decomposition of the optical requirements of the reflection preventive film that has stoichiometrically unstable bonds. As in the chart 16, a $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film 20 is formed on the tungsten substrate 18. The film is formed by the bias ECR plasma CVD method using micro wave (2.45 GHz), mixed gas of $\text{SiH}_4 + \text{O}_2 + \text{N}_2$ and Ar as buffer gas. The temperature at the formation is 360 C and the thickness of the $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film is 30 nm.

0053 – With the same film formation device, a silicon oxide film 22 is formed on the $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film by the CVD method at the temperature 420 C. The thickness of the film is 170 nm. The table 1 shows the constitutions of this multi layered film measured by the SOPRA's ELLI system.

0054 - Table 1

| | Density | Thickness (nm) |
|--|-----------------------|----------------|
| Silicon oxide film 22 | -0.022 (void) | 170.5 |
| Intermediary layer film 24 | -1.19 (silicon oxide) | 0.00 |
| $\text{Si}_x\text{O}_y\text{N}_z : \text{H}$ film 20 | -0.060 (void) | 30.3 |

0055 – The density in the table 1 means the ratio of void in the silicon oxide film 22 and the $\text{Si}_x\text{O}_y\text{N}_z$: H film, and the ratio of silicon oxide in the interlayer film 24. The smaller the figure is the finer the film is. The intermediary layer film 24 is an intermixed film that is formed on the interface between the silicon oxide film 22 and the $\text{Si}_x\text{O}_y\text{N}_z$: H film. The thickness is measured after the formation of the multi layered film.

0056 – As table 1 shows, when the silicon oxide 22 is formed on the $\text{Si}_x\text{O}_y\text{N}_z$: H film 20 according to the above conditions, the intermediary layer film 24 is barely formed and the quality and the optical requirements of the $\text{Si}_x\text{O}_y\text{N}_z$: H film 20 remain unchanged.

0057 – To the contrary, the same experiment is conducted except forming the silicon oxide film 22 with the LP-TEOS method at 720 C. The results shows in the table 2.

0058 – Table 2

| | Density | Thickness (nm) |
|---|-----------------------|----------------|
| Silicon oxide film 22 | 0.054 (void) | 177.2 |
| Intermediary layer film 24 | 0.488 (silicon oxide) | 32.2 |
| $\text{Si}_x\text{O}_y\text{N}_z$: H film 20 | -53.8 (void) | 0.4 |

0059 – As table 2 shows, when the silicon oxide 22 is formed by the LP-TEOS method at 720 C, the intermediary layer film 24, an intermixed film, is formed with the thickness of 32.2 nm. The quality of the $\text{Si}_x\text{O}_y\text{N}_z$: H film 20 changes greatly with the decomposition of its optical requirements.

0060 – The above result is expected from the analysis of the FT-IR spectrum shown in the chart 14. It is desired to form a protective film on the $\text{Si}_x\text{O}_y\text{N}_z$: H film 20 as reflection protective film under 500 C.

Example 2 – As the chart 17 and 18 show, this invention applies to the wiring constitution that the first wiring layer 30 connects with the second wiring layer 32 through contact hole 34.

0061 – As shown in the chart 17, the first wiring layer 30 is formed on the interlayer insulation film 36. The first wiring layer 30 is tungsten silicide. A reflection protective film 38 is formed on the first wiring layer 30.

0062 - An $\text{Si}_x\text{O}_y\text{N}_z$: H film is used for the reflection protective film 38. Its optical constants are $n=1.7-2.4$, $k<0.90$ (preferably $0.1<k<0.6$) and the thickness is 20-300 nm. The film can be made easily by several CVD methods using silicon system gas. For example, this film is used parallel flat style plasma CVD method or ECR plasma CVD method or bias ECR plasma CVD method. It is also used micro wave and mixed gas, $\text{SiH}_4 + \text{O}_2 + \text{N}_2$ or $\text{SiH}_4 + \text{N}_2\text{O}$. Argon gas is used as buffer gas in this process. The temperature at the formation of the $\text{Si}_x\text{O}_y\text{N}_z$: H film is 350-400 C.

0063 – Then, a protective film 40 is formed on the reflection preventive film 38. The thickness of the protective film 40 is around 20-200 nm. Because an interlayer film 42 is formed on the protective film 40, it is okay to form a protective film 40 with the thickness of 20-50 nm. The protective film 40 is a film that is to prevent decomposition of the optical requirements of the reflection preventive film that is constituted by the $\text{Si}_x\text{O}_y\text{N}_z$: H film having stoichiometrically unstable bonds. The protective film 40 is constituted by the silicon oxide film which is formed at below 500 C by the CVD method and the silicon oxide film which is formed by either plasma TEOS method or

ozone TEOS method. It is possible to form the reflection protective film 38 and the protective film 40 with the same device.

0064 – Next, with the spin coating method a resist film is formed on the protective film 40, and photolithography process is done to the resist film. The exposure light for the photolithography is i-laser of 365 nm or longer wave length light such as i-laser, KrF, ArF Excimer laser.

0065 – The Standing Wave Effects occur because the first wiring layer 30, which is constituted by a highly reflective tungsten silicide film, exists on the lower part of the resist film. The reflection protective film 38 keeps the Standing Wave Effects as minimum as possible and makes a precise and fine pattern. The optical requirements of the reflection protective film set appropriately to keep the Standing Wave Effects as minimum as possible. The protective film 40 prevents the decomposition of the optical requirements. Therefore, it is possible to form a fine pattern to the resist film.

0066 – The first wiring layer 30 with the designated fine pattern is made after the etching process of the protective film 40, the reflection preventive film 38 and the conductive layer. Then the second interlayer insulation film 42 is formed on the first interlayer insulation film 36 and the protective film 40. It is desired that the second interlayer insulation film 42 is an inorganic film which has the same optical constant as the protective film 40. The second interlayer insulation film 42 is constituted by a silicon oxide film which is formed by the LP-TEOS method. The thickness of the film is between 80 and 200 nm.

0067 – Next, with the spin coating method, a resist film 44 is formed on the second interlayer insulation film 42 and process photolithography. The exposure light for the photolithography is i-laser of 365 nm or longer wave length light such as i-laser, KrF, ArF Excimer laser.

0068 – The reflection protective film 38 keeps the Standing Wave Effects as minimum as possible and makes a precise and fine pattern 46. The effect occurs because the first wiring layer 30, which is constituted by highly reflective tungsten silicide, exists in the lower side of the resist film 44. The optical requirements of the reflection protective film 38 are set appropriately to keep the effects as minimum as possible. Because the protective film 40 prevents the decomposition of the requirements, even though the second interlayer insulation film 42 is formed at over 500 C, it is possible to form a stable fine pattern to the resist film 44.

0069 – Then the second interlayer insulation film 42, the protective film 40 and the reflection preventive film 38 go through the etching process making the resist film 44 as a mask, and the contact hole 34 with a fine pattern is formed precisely (chart 18). Then the second wiring layer 32 is formed surrounding the contact hole 34, and it connects with the first wiring layer 30.

0070 – This example shows that it is possible to form a stable fine pattern by using the protective film 40 even if the reflection preventive film 38 having stoichiometrically unstable bonds is used for manufacturing a semiconductor device. The protective film 40 should prevent the decomposition of the quality of the reflection film 38. When the semiconductor device is manufactured, an i-laser of 365 nm or a longer wave length light such as i-laser, KrF, ArF Excimer laser is used as a light source.

0071 – Also, by using the protective film 40 it is possible to prevent the decomposition of the optical requirements of the reflection preventive film 38 which has stoichiometrically unstable bonds even if the interlayer insulation film 42 is formed at over 500 C. The following experiment proves this possibility.

0072 – An $\text{Si}_x\text{O}_y\text{N}_z$: H film 50 is formed on the tungsten silicide substrate 48 as the reflection preventive film. The film 50 is formed by the bias ECR plasma CVD method. Micro wave (2.45 GHz) and mixed gas, $\text{SiH}_4 + \text{O}_2 + \text{N}_2$ with Ar as buffer gas are used to form the film. The temperature to form the film is 360 C and the thickness of the film is 30 nm.

0073 – With the same forming device and the same forming temperature, a P-TEOS silicon oxide film 52 is formed by the plasma TEOS method on the $\text{Si}_x\text{O}_y\text{N}_z$: H film 50 as a protective film. The thickness of the film is 30 nm. Then as an interlayer insulation film, a LP-TEOS silicon oxide film 54 is formed by the LP-TEOS method at 720 C. The thickness of the film is 140 nm.

0074 – The following is the measurement of the constitutions of a multi-layered film using SOPRA's ELLI system.

0075 – Table 3

| | Density | Thickness (nm) |
|---|-----------------|----------------|
| TEOS Silicon oxide film 54 | -0.022 (void) | 140 |
| P-TEOS Silicon oxide film 52 | -0.001 (void) | 30 |
| Intermediary fil 56 | -0.005 (P-TEOS) | 0.1 |
| $\text{Si}_x\text{O}_y\text{N}_z$: H film 50 | 0.003 (void) | 31.0 |

0076 – The density in the table 3 means the ratio of void in the TEOS silicon oxide film 54, the P-TEOS silicon oxide film 52, or the $\text{Si}_x\text{O}_y\text{N}_z$: H film 50, and the ratio of P-TEOS silicon oxide in the interlayer film 56. The intermediary layer film 56 is an intermixed film that is formed on the interface between the P-TEOS silicon oxide film 52 and the $\text{Si}_x\text{O}_y\text{N}_z$: H film 50. The thickness is measured after the formation of the multi layered film.

0077 – As in the table 3, when the TEOS silicon oxide film 54 and the P-TEOS silicon oxide film 52 are formed on the $\text{Si}_x\text{O}_y\text{N}_z$: H film 50 under the above conditions, the quality of the film 50 barely changes therefore, its optical requirements remain unchanged.

0078 – Also, as shown in the chart 19, the $\text{Si}_x\text{O}_y\text{N}_z$: H film 50 as a reflection preventive film, the P-TEOS silicon oxide film 52 and the LP-TEOS silicon oxide film 54 are formed on the tungsten silicide substrate 48. A curved line B shows the Standing Wave Effects after putting the resist film over the films 50, 52 and 54. A curved line B in the chart 20 shows the Standing Wave Effects when the $\text{Si}_x\text{O}_y\text{N}_z$: H film 50 as a reflection preventive film is not formed. It is confirmed that the effect declines.

0079 – In the experiment shown in the chart 20, KrF with wave length λ is 248 nm is used as exposure light and XP8843 is used as a resist film. The assumption figures of n and k are as follows:

| | n | k |
|---|-------------------|-------------------|
| resist film | 1.80 (n_{pr}) | 0.011(k_{pr}) |
| tungsten silicide | 1.93 | 2.73. |
| $\text{Si}_x\text{O}_y\text{N}_z$: H film 50 | 2.12 | 0.54. |
| LP-TEOS silicon oxide/P-TEOS silicon oxide film | 1.52 | 0 |

0080 – Example 3

In this example, the semiconductor device is manufactured in the same way as shown in the example

1, except that the constitutions of the offset oxide film is layer-built film with a protective film and an intermediately interlayer film.

0081 – A protective film has thickness of 20-100 nm and is constituted by a silicon oxide film, which is formed by CVD method at below 500 C, and a silicon oxide film, which is formed by the ozone TEOS method. It is desired that the interlayer film is an inorganic film with 80-200 nm thickness and its optical constant is same as the protective film's. The interlayer film is constituted by a silicon oxide film which is formed by the LP-TEOS method.

0082 – Example 4

In this example, the $\text{Si}_x\text{O}_y\text{N}_z$: H film as a reflection protective film is formed by the following method. Other than this, the semiconductor device is manufactured the same way as example 1 through 3.

0083 – In this example, the $\text{Si}_x\text{O}_y\text{N}_z$: H film is formed using the parallel flat style plasma CVD method, ECR plasma CVD method, or bias ECR plasma CVD method with micro wave of 2.45 GHz and mixed gas of $\text{SiH}_4 + \text{N}_2$ or $\text{SiH}_4 + \text{O}_2 + \text{N}_2$.

0084 - Example 5

In this example, the $\text{Si}_x\text{O}_y\text{N}_z$: H film as a reflection protective film is formed by the following method. Other than this, the semiconductor device is manufactured the same way as example 1 through 3.

0085 – In this example, the $\text{Si}_x\text{O}_y\text{N}_z$: H film is formed using the parallel flat style plasma CVD method, ECR plasma CVD method, or bias ECR plasma CVD method with micro wave of 2.45 GHz and mixed gas of $\text{SiH}_4 + \text{N}_2$ or $\text{SiH}_4 + \text{O}_2 + \text{N}_2$. The Ar is used as buffer gas.

0086 - Example 6

In this example, the $\text{Si}_x\text{O}_y\text{N}_z$: H film as a reflection protective film is formed by the following method. Other than this, the semiconductor device is manufactured in the same way as examples 1 through 3.

0087 – In this example, the $\text{Si}_x\text{O}_y\text{N}_z$: H film is formed using the parallel flat style plasma CVD method, the ECR plasma CVD method, or the bias ECR plasma CVD method with micro wave of 2.45 GHz and mixed gas of $\text{SiH}_4 + \text{N}_2$ or $\text{SiH}_4 + \text{O}_2 + \text{N}_2$.

0088 – Example 7

In this example, the $\text{Si}_x\text{O}_y\text{N}_z$: H film as a reflection protective film is formed by the following method. Other than this, the semiconductor device is manufactured in the same way as examples 1 through 3.

0089 – In this example, the $\text{Si}_x\text{O}_y\text{N}_z$: H film is formed using the parallel flat style plasma CVD method, the ECR plasma CVD method, or the bias ECR plasma CVD method with micro wave of 2.45 GHz and mixed gas of $\text{SiH}_4 + \text{N}_2$ O or $\text{SiH}_4 + \text{O}_2 + \text{N}_2$.

0090 – Example 8

In this example, Si_xN_y is used as a reflection protective film instead of the $\text{Si}_x\text{O}_y\text{N}_z$: H film shown in the examples 1 through 3, and is formed by the following method. Other than this, the semiconductor device is manufactured in the same way as examples 1 through 3.

0091 – In this example, the reflection preventive film is formed using the parallel flat style plasma CVD method, the ECR plasma CVD method, or the bias ECR plasma CVD method with micro wave of 2.45 GHz and mixed gas of $\text{SiH}_4 + \text{NH}_3$ or $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$.

0092 – Example 9

In this example, Si_xN_y is used as a reflection protective film instead of the $\text{Si}_x\text{O}_y\text{N}_z$: H film shown in the examples 1 through 3, and is formed by the following method. Other than this, the semiconductor device is manufactured in the same way as examples 1 through 3.

0093 – In this example, the reflection preventive film is formed using the parallel flat style plasma CVD method, the ECR plasma CVD method, or the bias ECR plasma CVD method with micro wave of 2.45 GHz and mixed gas of $\text{SiH}_4 + \text{O}_2$ or $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$. The Ar is used as buffer gas.

0094 – Example 10

In this example, Si_xN_y is used as a reflection protective film instead of the $\text{Si}_x\text{O}_y\text{N}_z$: H film shown in the examples 1 through 3, and is formed by the following method. Other than this, the semiconductor device is manufactured in the same way as examples 1 through 3.

0095 – In this example, a reflection preventive film is formed using the parallel flat style plasma CVD method, the ECR plasma CVD method, or the bias ECR plasma CVD method with micro wave of 2.45 GHz and mixed gas of $\text{SiH}_4 + \text{O}_2$ or $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$.

0096 – Example 11

In this example, Si_xN_y is used as a reflection protective film instead of the $\text{Si}_x\text{O}_y\text{N}_z$: H film shown in the examples 1 through 3, and is formed by the following method. Other than this, the fine pattern is formed to the semiconductor device in the same way as examples 1 through 3.

0097 – In this example, a reflection preventive film is formed using the parallel flat style plasma CVD method, the ECR plasma CVD method, or the bias ECR plasma CVD method with micro wave of 2.45 GHz and mixed gas of $\text{SiH}_4 + \text{O}_2$ or $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$. The Ar is used as buffer gas.

0098 – Effect

With this semiconductor manufacturing method, in the process of producing the semiconductor device using a 365 nm of i-line or longer than of its wavelength light, i-line or KrF, ArF Excimer laser, as a light source, it is possible to form a stable fine pattern by forming a protective film on the reflection preventive film even though the reflection preventive film has stoichiometrically unstable bonds.

0099 – That means that using an inorganic film which has both reflection preventive effect and inorganic mask function it is possible to form a stable mask pattern on the wiring layers without increasing manufacturing process even though the semiconductor mask pattern is fine and has level structure. The $\text{Si}_x\text{O}_y\text{N}_z$: H film is the most appropriate inorganic film.

Explanation of the chart:

Chart 1 – the outline of the light interference in the resist film

Chart 2 – the Standing Wave Effects on the silicon substrate

Chart 3 – assumption of influence to the Standing Wave Effects by level difference

Chart 4 – relationship between fluctuations of light absorption and pattern size

Chart 5 - the Standing Wave Effects on the silicon substrate

Chart 6 – contour of light absorption when optical constants, n and k are variables while the thickness of the reflection preventive film is fixed.

Chart 7 – different thickness of the resist films shows the same contour of the light absorption in the chart 6

- Chart 8 - different thickness of the resist films shows the same contour of the light absorption in the chart 6
- Chart 9 - different thickness of the resist films shows the same contour of the light absorption in the chart 6
- Chart 10 - A and B shows the changes of optical constants of $\text{Si}_x\text{O}_y\text{N}_z$ when manufacturing conditions change
- Chart 11 - reflection preventive effect when the $\text{Si}_x\text{O}_y\text{N}_z$: H film is formed on the tungsten silicide substrate
- Chart 12 - reflection preventive effect when the $\text{Si}_x\text{O}_y\text{N}_z$: H film is formed on the aluminum silicon silicide substrate
- Chart 13 - reflection preventive effect when the $\text{Si}_x\text{O}_y\text{N}_z$: H film is formed on the silicon substrate
- Chart 14 - analysis of FT-IR spectrum when the $\text{Si}_x\text{O}_y\text{N}_z$: H film is annealed.
- Chart 15 - a sectioned diagram of manufacturing process of this semiconductor device
- Chart 16 - outline of experiment of protective film effect
- Chart 17 - outline sectioned diagram of manufacturing process of this semiconductor device
- Chart 18 - continuation of chart 17
- Chart 19 - outline of experiment of protective film effect
- Chart 20 - Standing Wave Effects when reflection preventive film and protective film are layered

Code:

- 2 - semiconductor substrate
- 4 - element isolation region
- 6 - gate insulation film
- 8 - poly silicon film
- 10 - tungsten silicide film
- 12 - reflection protective film
- 14 - protective film (offset oxide film)
- 30 - first wiring layer
- 32 - second wiring layer
- 34 - contact hole
- 36 - first interlayer insulation film
- 38 - reflection protective film
- 40 - protective film
- 42 - second interlayer insulation film
- 44 - resist film